

2002-0065323

- 도 13은 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 14는 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 15는 스팬을 반전시키는 데 필요한 자계의 관계를 나타내는 도면.
- 도 16은 일반적인 MRAM 셀의 동작을 설명하는 도면.
- 도 17은 일반적인 MRAM 셀의 동작을 설명하는 도면.
- 도 18은 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 19는 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 20은 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 21은 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 22는 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 23은 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 24는 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 25는 본 발명에 따른 실시예 1의 MRAM 셀의 동작을 설명하는 도면.
- 도 26은 본 발명의 실시예 2에 따른 MRAM의 구성을 나타내는 블록도.
- 도 27은 본 발명의 실시예 2에 따른 MRAM의 구성을 나타내는 회로도.
- 도 28은 본 발명의 실시예 2에 따른 MRAM의 동작을 나타내는 타이밍차트.
- 도 29는 자기 터널 저항의 변화율의 인가 전압 의존성을 나타내는 도면.
- 도 30은 2중 자기 터널 접합부 구성의 구성을 나타내는 도면.
- 도 31은 본 발명의 실시예 2에 따른 MRAM의 구성을 나타내는 회로도.
- 도 32는 본 발명의 실시예 2에 따른 MRAM의 동작을 나타내는 타이밍차트.
- 도 33은 본 발명의 실시예 2에 따른 MRAM의 구성을 나타내는 회로도.
- 도 34는 본 발명의 실시예 3에 따른 MRAM의 워드선을 분할한 구성을 나타내는 블록도.
- 도 35는 본 발명의 실시예 3에 따른 MRAM의 워드선을 계층화한 구성을 나타내는 블록도.
- 도 36은 본 발명의 실시예 3에 따른 MRAM의 워드선을 계층화한 구성을 나타내는 개념도.
- 도 37은 본 발명의 실시예 3에 따른 MRAM의 비트선을 분할한 구성을 나타내는 블록도.
- 도 38은 본 발명의 실시예 3에 따른 MRAM의 비트선을 계층화한 구성을 나타내는 블록도.
- 도 39는 본 발명의 실시예 4에 따른 MRAM의 구성을 나타내는 사시도.
- 도 40은 본 발명의 실시예 4에 따른 MRAM의 동작을 설명하는 단면도.
- 도 41은 본 발명의 실시예 4에 따른 MRAM의 동작을 설명하는 단면도.
- 도 42는 본 발명의 실시예 4에 따른 MRAM의 동작을 설명하는 단면도.
- 도 43은 본 발명의 실시예 4에 따른 MRAM의 변형예의 구성을 나타내는 평면도.
- 도 44는 본 발명의 실시예 4에 따른 MRAM의 변형예의 구성을 나타내는 단면도.
- 도 45는 본 발명의 실시예 4에 따른 MRAM의 변형예의 구성을 나타내는 단면도.
- 도 46은 본 발명의 실시예 4에 따른 MRAM의 변형예의 구성을 나타내는 평면도.
- 도 47은 본 발명의 실시예 5에 따른 MRAM의 구성을 나타내는 평면도.
- 도 48은 본 발명의 실시예 5에 따른 MRAM의 구성을 나타내는 평면도.
- 도 49는 본 발명의 실시예 6에 따른 반도체 기판의 구성을 나타내는 단면도.
- 도 50은 본 발명의 실시예 6에 따른 반도체 기판의 구성을 나타내는 단면도.
- 도 51은 일반적인 MRAM의 구성을 나타내는 블록도.
- 도 52는 본 발명의 실시예 7에 따른 MRAM의 구성을 나타내는 블록도.
- 도 53은 본 발명의 실시예 7에 따른 MRAM의 구성을 나타내는 블록도.
- 도 54는 일반적인 패키지화된 MRAM의 구성을 나타내는 단면도.
- 도 55는 일반적인 패키지화된 MRAM의 구성을 나타내는 단면도.
- 도 56은 본 발명의 실시예 8에 따른 MRAM의 구성을 나타내는 단면도.
- 도 57은 본 발명의 실시예 8에 따른 MRAM의 구성을 나타내는 평면도.

특 2002-0065323

- 도 58은 본 발명의 실시예 8에 따른 NRAM의 제조 공정을 나타내는 사시도.
 도 59는 본 발명의 실시예 8에 따른 NRAM의 제조 공정을 나타내는 사시도.
 도 60은 본 발명의 실시예 8에 따른 NRAM의 제조 공정을 나타내는 사시도.
 도 61은 본 발명의 실시예 8에 따른 NRAM의 제조 공정을 나타내는 사시도.
 도 62는 본 발명의 실시예 8에 따른 NRAM의 제조 공정을 나타내는 사시도.
 도 63은 본 발명의 실시예 8에 따른 NRAM의 부분 구성을 설명하는 평면도.
 도 64는 본 발명의 실시예 8에 따른 NRAM의 부분 구성을 설명하는 단면도.
 도 65는 본 발명의 실시예 8에 따른 NRAM의 구성을 나타내는 단면도.
 도 66은 본 발명의 실시예 8에 따른 NRAM의 구성을 나타내는 단면도.
 도 67은 자기 터널 접합의 개념을 나타내는 도면.
 도 68은 천이 금속의 상대 밀도를 모식적으로 나타내는 도면.
 도 69는 터널 자기 저항 효과를 설명하는 모식도.
 도 70은 터널 자기 저항 효과를 설명하는 모식도.
 도 71은 자기 터널 접합의 구성예를 나타내는 도면.
 도 72는 자기 터널 접합의 구성예를 나타내는 도면.
 도 73은 스팬 벌브형 강자성 터널 접합 소자의 실례를 나타내는 도면.
 도 74는 스팬 벌브형 강자성 터널 접합 소자의 실측(實測) 특성을 나타내는 도면.
 도 75는 종래의 NRAM 셀 어레이의 구성을 나타내는 사시도.
 도 76은 종래의 NRAM 셀 어레이의 구성을 나타내는 사시도.
 도 ??은 종래의 NRAM 셀 어레이의 등가 회로도.
 도 78은 종래의 NRAM 셀 어레이의 동작을 설명하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- MC2, MC3 : NRAM 셀
 64, 83 : 서브 워드선
 66, 85, 166 : NRAM 셀 어레이
 67, 84 : 메인 워드선
 87 : 글로벌 워드선
 861, 1861 : 메모리 셀 어레이군
 164, 163 : 서브 비트선
 167, 184 : 메인 비트선
 187 : 글로벌 비트선
 125 : 차폐용 땜납 범프
 223, 235 : 용력 완화막
 127 : 신호 전송용 땜납 범프
 122 : 반도체 칩
 10 : 인더터
 FBL : 플래시 비트선
 FWL : 플래시 워드선
 SHB : 차폐체

본원의 산생한 실증

발명의 목적

본원이 속하는 기술분야 및 그 분야의 주요기술

본 발명은 자기 기억 장치에 관한 것으로, 특히 자기 터널 접합을 개개의 메모리 셀로서 이용하는 둘회발성 메모리 어레이를 갖는 자기 기억 장치에 관한 것이다.

2002-0065323

<터널 자기 저항 효과>

절연체를 두개의 강자성체 사이에 끼운 구조를 자기 터널 접합(Magnetic Tunnel Junction : MTJ)으로 부른다.

도 67은 MTJ의 개념도를 나타낸다. 도 67에서 강자성체층 FM21 및 FM22에 의해 절연층 TB가 사이에 끼워 지도록 배치되고, 강자성체층 FM21 및 FM22에는 전압이 인가되는 구조으로 되어 있다.

이 구조에서 절연층 TB를 터널링하는 전류를 측정하면, 두개의 강자성체층의 자화 방향에 의해 전류차가 상이한 현상이 관찰된다.

이 현상을 터널 자기 저항(Tunnel Magnetic Resistance : TMR) 효과로 칭해진다. TMR 효과에 대하여 도 68~도 70을 이용하여 설명한다.

도 68은 천미 금속의 상태 밀도 N(E)의 모식도를 나타내고 있다. 도 68에서는 정류에 상태 밀도를, 증류에 에너지 E를 나타내고, 원자가 갖는 전자를 스핀 방향에 따라 분류하여 나타내고 있다. 즉, 도 68를 향해 좌측에 스피드 방향이 하향인 전자를 갖는 원자의 상태 밀도를 나타내고, 도 68를 향해 우측에 스핀 방향이 상향인 전자를 갖는 원자의 상태 밀도를 나타낸다.

또한, 도 68에서는 3d 궤도와 4s 궤도 중 페르미 준위까지 전자가 충전되어 있는 원자를 모식적으로 나타내기 위해, 페르미 준위를 경계로서 페르미 준위까지 전자가 충전되어 있는 원자를 해치(hatch)로 나타내고 있다.

천미 금속이 강자성체가 되는 것을 페르미 준위까지 전자가 충전되어 있는 원자 중, 3d 궤도의 전자에서 상향의 스핀 수와 하향의 스핀 수가 다르기 때문이다.

즉, 4s 궤도의 전자는 상향의 스핀 수와 하향의 스핀 수가 동일하기 때문에 자성의 발생에는 기여하지 않는다.

도 69 및 도 70은 TMR 효과를 모식적으로 나타내는 도면이다. 도 69에서는 절연층 TB의 좌측 강자성체층 FM21을 구성하는 원자의 3d 궤도 중, 하향 스핀의 전자를 갖는 원자의 상태 밀도가 상향 스핀의 전자를 갖는 원자의 상태 밀도보다 많기 때문에, 전체로서 자화 방향은 하향이 된다.

절연층 TB의 우측 강자성체층 FM22도 동일하게 전체로서 자화 방향이 하향으로 된다.

전자의 터널링은 주로 시작 상태와 종료 상태의 스핀 방향을 보존하도록 발생한다. 도 69의 경우, 시작 상태(강자성체층 FM21 내)와 종료 상태(강자성체층 FM22 내)의 하향 스핀의 전자를 갖는 원자의 상태 밀도가 모두 크기 때문에, 터널 확률은 커지고, 터널 전류도 커진다. 즉, 터널 자기 저항은 작아진다.

한편, 도 70에서는 시작 상태(강자성체층 FM21 내)의 상향 스핀의 전자를 갖는 원자의 상태 밀도가 크지만, 종료 상태(강자성체층 FM22 내)의 상향 스핀의 전자를 갖는 원자의 상태 밀도가 작기 때문에, 터널 확률은 작아지고, 터널 전류도 작아진다. 즉, 터널 자기 저항은 커진다.

여기서, 두개의 강자성체층의 자화 방향이 상호 동일한 경우의 저항을 R_s , 반대 방향을 험하고 있는 경우의 저항을 R_r 로 하면, 터널 자기 저항 변화율(Tunnel Magnetic Resistance Rate : TMRR)은 다음 수학식으로 표현된다.

$$TMRR = \frac{R_s - R_r}{R_s} = \frac{P_1 P_2}{1 - P_1 P_2}$$

또, 상기 수학식 1에서, P_1 , P_2 는 각각 강자성체층 FM21 및 FM22의 스핀 분극률이다.

그리고, 스피드 대역의 페르미면에서의 상태 밀도를 $D_s(E_s)$ 로 하면 스핀 분극률은 다음 수학식으로 표현된다.

$$P_s = \frac{D_{\downarrow}(E_s) - D_{\uparrow}(E_s)}{D_{\downarrow}(E_s) + D_{\uparrow}(E_s)}$$

즉, 스핀 분극률은 페르미면에서의 상향 스핀과 하향 스핀의 상태 밀도 차가 클수록 커진다. 또한, 스핀 분극률이 1에 균질될수록 TMRR은 커진다. 또한, 스핀분극과 자화는 비례하는 것이 알려져 있다.

[표 1]

재료	스피 분극률
Fe	0.44
Co	0.35
Ni	0.23
Ni ₈₀ F ₂₀	0.25, 0.45
FeCo	0.53

2002-0065323

NI&Nb	1, 0.58
Pt&Nb	1
CrO ₂	1
Fe ₂ O ₃	1
(La · Sr)MnO ₃	1

이상 설명한 TMR 효과를 이용하여, 두개의 강자성체층의 자화 방향을 0 혹은 1에 대응시켜 데이터를 기억하는 장치가 MRAM(Magnetic Random Access Memory)이다.

따라서, MTJ의 두개의 강자성체층 중 한쪽만 자화 방향을 변경시키고 숫자만, 도 67의 구조에서는 자계를 결연히 양방향의 강자성체층 모두 자화 방향이 변경되는 경우가 있다. 그래서, 한쪽의 강자성체층의 자화 방향을 고정할 목적으로, 도 71에 도시한 바와 같이, 한쪽의 강자성체층 상에 반강자성체층이 형성된 구조가 제안되어 있다.

도 68에서 절연층 TB를 강자성체층 FM21 및 FM22 사이에 끼우고, 강자성체층 FM21의 상부에는 반강자성체층 AF가 배치되어 있다. 또, 반강자성체층 AF에는 적류 전원의 플러스 전극을, 강자성체층 FM22에는 마이너스 전극을 접속하고 있다.

간자성체와 반강자성체를 인접하여 형성하면, 양자를 관통하는 자속이 달림으로써 자화 방향이 고정된다. 이 구조를 스픬 밸브형 강자성 터널 접합 소자로 호칭한다.

또한, 도 72는 스픬 밸브형 강자성 터널 접합 소자의 변형 예의 구성을 나타낸다. 도 72에서 절연층 TB를 강자성체층 FM21 및 FM22 사이에 끼우고, 강자성체를 FM21의 상부에는 반강자성체층 AF를 배치하며, 강자성체층 FM22의 하부에는 강자성체층 FM23을 배치하고 있다.

여기서, 반강자성체층 AF는, 예를 들면 Ir(마리늄)을 20~30atom.% 포함하는 IrNb으로 구성되며, 강자성체층 FM21의 자화 방향을 고정하지만, 자화 방향은 외부 자계에 대하여 반전되기 어려운 쪽이 좋기 때문에, 강자성체층 FM21에서는 보자력이 큰 CoFe가 이용되고 있다.

또한, 수학식 1을 이용하여 설명한 바와 같이, 터널 자기 저항 변화율(TMR R)은 스픬 분극율이 큰 쪽이 커지기 때문에, 스픬 분극율이 큰 재료로서 CoFe가 이용되고 있다.

한편, 강자성체층 FM22에도 동일한 CoFe가 이용되고 있지만, 강자성체층 FM22는 가능한 한 작은 외부 자계에 의해 자화 방향을 제어할 수 있도록, 보자력이 작은 재료즉이 바람직하다.

도 72의 구성에서는 강자성체층 FM22의 자화 방향을 반전하기 쉽게 할 목적으로, 강자성체층 FM23으로서 보자력과 스픬 분극율이 작은 Ni_xFe_{1-x}(퍼밀로이)를 사용한다. 이에 따라, 강자성체층 FM22는 작은 외부 자계로 자화 방향을 반전시킬 수 있다.

도 73은 도 72에 도시한 스픬 밸브형 강자성 터널 접합 소자의 실제적인 구조를 나타내고, 도 74는 상기 구조에서의 TMR의 산출 특성을 나타내고 있다.

도 73에서 기판 80 상에 평면적으로 배치된 반강자성체층 AF 및 강자성체층 FM21의 적층체 상부에 절연층 TB가 배치되고, 절연층 TB의 상부에 강자성체층 FM23이 배치되어 있다. 이러한 구성에서 외부 자계를 인가하여 자기 저항 MR의 변화를 측정한 결과가 도 74이다.

도 74에서는 흥축에 자계(10에르스테드(10ersteds)=약 79A/m으로 환산), 증축에 터널 자기 저항률(TMR)을 나타내고 있다. 도 74에서는 TMR이 36%의 값을 실현하고 있는 것, 자화 방향의 반전에 필요한 자계가 약 30(× 79A/m) 정도로 낮은 것, 자계 방향에 대하여 대청인 히스테리시스가 얹어지는 것을 알 수 있다.

<MRAM의 구조와 동작 원리>

부재에서는 메모리 셀을 구성하는 자기 터널 접합 소자의 두개의 강자성체의 자화 방향이 동일한, 혹은, 상반되는 방향이 되도록 외부 자계로 제어하고, 자화 방향이 동일한, 혹은, 상반되는 방향의 상태를 0 혹은 1에 대응시켜 데이터를 기억한다.

기억된 데이터는 메모리 셀에 소정의 전류를 흘려 터널 자기 저항의 양단 전압을 감지함으로써 판독할 수 있다. 그리고, 터널 자기 저항치의 변화율(TMRR)이 충수록 감지하기 쉽기 때문에, 스픬 분극율이 큰 강자성체 재료가 MRAM에는 유리하다.

또한, 데이터의 기입은 배선(워드선 및 비트선)에 소정 전류를 흘려 발생한 자계를 이용하여, 한쪽의 강자성체의 자화 방향을 변화시키면 된다.

<MRAM 셀의 구조>

이하, MRAM의 종래예로서 미국 특허 USP 5,793,697에 공개되어 있는 MRAM에 대하여 구조 및 동작을 설명한다.

도 75는 MRAM 셀 어레이와 셀을 나타내는 사시도이다. 도 75에서 상호 평행하게 배치된 워드선(1, 2, 3)의 상부에서 교차하도록, 비트선(4, 5, 6)이 상호 평행하게 배치되어 있다.

그리고, 워드선 및 비트선 사이에 끼워지는 각 교점에 MRAM 셀(이후, 간단하게 셀로 호칭하는 경우도 있음: 9)이 형성되어 있다. 도 75에서 확대도로서 도시한 바와 같이, MRAM 셀(9)은 워드선 상에 실리콘 pn 접합 다이오드(?)와 자기 터널 접합 소자(MTJ: 8)가 적층된 구조이다.

도 76은 MRAM 셀(9)의 단면 구조를 나타내는 모식도이다. 또, 도 76에서는 워드선(3) 상의 MRAM 셀(9)을

특 2002-0065323

예시하고 있으며, 실리콘 기판(80) 상에 워드선(3)이 빼치되고, 그 위에 n' 실리콘층(10)과 p' 실리콘층(11)이 적층되며, pn 접합 다이오드(7)가 형성되어 있다. pn 접합 다이오드(7)는 실리콘 산화막(13) 등의 절연막으로 피복된다.

그리고, pn 접합 다이오드(7)의 일부에는 텔스텐 스터드(tungsten stud)(12)가 빼치되고, pn 접합 다이오드(7)는 텔스텐 스터드(12)를 통해 MTJ(8)에 전기적으로 접속되어 있다. 또, 실리콘 산화막(13)은 텔스텐 스터드(12)도 피복하도록 빼치되고, 텔스텐 스터드(12)와 실리콘 산화막(13)의 표면은 CMP(Chemical Mechanical Polishing)로 평탄화되어 있다.

MTJ(8)는 적층 구조이며, 아래로부터 순서대로 백금(Pt)으로 구성되는 텔플릿층(15)(막 두께 10nm), Ni_xFe_y의 퍼밀로미로 구성되는 초기 강자성체층(16)(막 두께 4nm), MnFe₂O₄으로 구성되는 반자성체층(18)(막 두께 10nm), CoFe 혹은 Ni_xFe_y의 퍼밀로미로 구성되고, 자화 방향이 고정된 강자성체층(20)(막 두께 6nm), Al₂O₃으로 구성되는 터널 배리어층(22), 막 두께 2nm의 CoFe와 막 두께 20nm의 Ni_xFe_y의 다른 막으로 구성되는 소프트 강자성체층(24), Pt로 구성되는 컨택트층(25)을 구비하고 있다.

또, 터널 배리어층(22)은 막 두께 1~2nm의 Si를 피복한 후, 플라즈마 산화법에 의해 100mTorr의 산소 압력 하에서 250°C의 파워 밀도로 60~240초간 처리하여 형성된다.

또한, 도 76에는 도시하지 않았지만, 실제로는 기판(80) 상의 실리콘 산화막(13)의 전면에 하나의 큰 MTJ를 형성하고, 이것을 포토레지스트 마스크를 이용하여 아르곤 이온 밀링으로 패터닝하여 도 76에 도시한 작은 MTJ(9)를 복수 형성한다. 개개의 MTJ(8)는 실리콘 산화막(26)으로 피복되어 있다. 또한, 도 76에 도시하지 않았지만, 컨택트층(25)은 비트선에 접속된다.

MTJ(8)의 자기 터널 저항은 앞에서 설명한 바와 같이 소프트 강자성체층(24)의 자화 방향이 강자성체층(20)의 자화 방향과 동일한 경우와, 반대 방향을 할하고 있는 경우에 다르다. 소프트 강자성체층(24)의 자화 방향은 비트선과 워드선을 흘리는 전류에 의해 생성된 자계로 변화시킬 수 있다.

또한, MTJ(8)의 자기 터널 저항은 터널 배리어층(22)의 막 두께, 및, 그 배리어 높이와, 접합 아래의 계면 거칠기 등의 막의 재질 특성에도 크게 의존한다.

소프트 강자성체층(24)은 미지 액시스(easy axis)로 호칭되는 자화가 용이한 방향을 갖도록 형성된다. 이 미지 액시스를 따르는 자화 방향은 2방향이 되고, 각각 메모리 셀의 0 및 1의 두개의 데미터에 대응시킬 수 있다.

한편, 강자성체층(20)은 자화 방향이 소프트 강자성체층(24)의 미지 액시스와 동일하며, 또한, MRAM의 동작 상태에 상관없이 방향을 변경하지 않도록 형성된다.

미 자화 방향을 고정 자화 방향(unidirectional anisotropy direction의 편의적인 의미)이라고 한다. 소프트 강자성체층(24)의 미지 액시스는 MTJ(8)의 전성 미방성(intrinsic anisotropy), 응력 미기 미방성(stress induced anisotropy), 형성에 기인하는 미방성을 조합하여 정해진다.

여기서, 전성 미방성이란 강자성체가 갖는 흡설 본래의 자화 미방성을 의미하며, 응력 미기 미방성미란 강자성체에 응력을 가한 경우에 생기는 자화 미방성을 의미한다.

또한, 도 75에 도시한 바와 같이, MTJ(8)는 평면에서 본 형상이 긴 변 길이 L, 짧은 변 길이 W의 장방형을 하고 있다. 이것은 MTJ(8)의 형상에 기인하는 미방성을 이용하여, 소프트 강자성체층(24)의 미지 액시스를 절하고 있기 때문이다.

다음으로, 강자성체층(20)의 고정 자화 방향의 설정 방법을 설명한다. 텔플릿층(15) 상에 피막 형성되는 초기 강자성체층(16)은 결정 방위가(111)면이 되는 면((111)면)을 위로 하여 성장한다. 또한, MnFe로 구성되는 반자성체층(18)은 초기 강자성체층(16) 상에 피복된다.

이를 자성체 층은 후에 피복되는 소프트 강자성체층(24)의 미지 액시스의 방향과 동일한 방향을 할한 자계의 아래에서 피복되고, 미에 따라, 소프트 강자성체층(24)의 고정 자화 방향이 정해진다.

또한, 강자성체층(20)과 반자성체층(18) 사이에서 자속이 달하기 때문에, 강자성체층(20)의 자화 방향은 소프트 강자성체층(24)의 자화 방향보다 외부 자계에 의해 방향을 변경하기 어렵고, 워드선과 비트선을 훈련에 의해 발생하는 자계의 크기 범위에서는 강자성체층(20)의 자화 방향은 고정된다. 또한, MTJ(8)의 평면에서 본 형상을 장방형으로 하고 있기 때문에, 강자성체층(20)의 형상에 기인하는 자화 미방성이 발생하고, 이것도 강자성체층(20)의 자화 방향의 안정에 공헌하고 있다.

<MRAM의 기입/판독 동작의 개요>

이하, MRAM의 기입 및 판독 동작에 대하여 설명한다.

어드레스 선택을 할하기 위한 워드선 및 비트선(선택 워드선 및 선택 비트선으로 호칭)에 소정의 전류를 흘리면, 각 선 주위에 자계가 발생하고, 양선의 교차부(선택 어드레스)에서는 각 자계가 결합된 결합 자계가 발생한다. 이 자계가 인가되면 양선의 교차부에 설치되어 있는 MTJ(8)의 소프트 강자성체층(24)의 자화 방향이 층의 면 내에서 회전되어 데미터의 기입이 행해진다.

이 자계의 크기는 소프트 강자성체층(24)의 스위칭 자계(자화 방향이 반전되기 시작하는 자계)보다 커지도록 설계되고, 주로 소프트 강자성체층(24)의 보자력과 자화 미방성으로 결정된다.

또한, 선택 워드선 및 선택 비트선 주위에 발생하는 자계는 강자성체층(20)의 고정 자화 방향을 회전시키지 않도록, 충분히 작게 설계해야 한다. 왜냐하면, 반 선택(half select) 층의 자화 방향을 변경시키지 않기 위해서이다. 또, 반 선택 층이란 그 상하에 위치하는 워드선 및 비트선의 한쪽 밖에 전류가 흐르고 있지 않은 층이다.

이와 같이, 메모리 셀 어레이의 아키텍처는 기입 시의 소비 전력을 저감하기 위해, 기입 전류가 MTJ(8)에

2002-0065323

직접적으로 흐르지 않도록 설계된다.

또한, MRAM 셀(9)에 기입된 데이터는 pn 접합 다이오드(?)와 NTJ(8)를 수직으로 흐르는 전류를 감지함으로써 판독된다. 또, 동작 시는 MRAM 셀(9) 중을 터널 전류가 세로로 흐르기 때문에, MRAM 셀(9)의 접두면적을 작게 할 수 있다.

NTJ(8)의 A1,0,으로 구성되는 터널 배리어층(22)의 저항은 막 두께에 대하여 거의 지수 함수적으로 변화한다. 즉, 터널 배리어를 흐르는 전류는 막 두께가 두꺼워지면 저감되고, 접합을 터널링하는 전류만이 접합에 대하여 수직으로 흐른다.

그리고, MRAM 셀(9)의 데이터는 기입 전류보다 훨씬 작은 감지 전류가 NTJ(8)를 수직으로 흐를 때 발생하는 MRAM 셀(9)의 전압을 모니터함으로써 판독된다.

앞에서 설명한 바와 같이, NTJ(8)의 터널 확률은 시작 상태에서의 소프트 강자성체층(24) 중의 스피in의 극성과 동일한 극성의 스피n 상태 밀도가 중요 상태에서의 강자성체층(20) 중에서 많이 존재할 수록 증가한다.

따라서, NTJ(8)의 자기 터널 저항은 소프트 강자성체층(24)과 강자성체층(20)의 스피n 상태가 동일한 경우, 즉, 자화 방향이 양층에서 동일한 경우에는 낮고, 자화 방향이 반대인 경우에는 높아진다. 그렇기 때문에, NTJ(8)의 저항을 미소 전류로 모니터하면 MRAM 셀(9)의 데이터를 판독할 수 있다.

또, 감지 전류가 발생하는 자체는 무시할 수 있으며, MRAM 셀(9)의 자화 상태에 영향을 주지 않는다. 또한, MRAM 셀(9)의 판독/기입에 필요한 배선은 도 75에 도시한 비트선과 워드선의 어레이만이기 때문에, 효율이 좋은 메모리 셀 어레이를 구성을 수 있다.

<기입 동작>

이하, MRAM의 기입 동작에 대하여 도 77 및 도 78을 이용하여 또한 설명한다.

도 77은 도 75에 도시한 메모리 셀 어레이의 등과 회로도이고, 워드선(1~3) 양단은 각각 워드선 제어 회로(53)에 접속되고, 비트선(4~6) 양단은 각각 비트선 제어 회로(51)에 접속되어 있다. 또, 도 78의 설명의 편의를 도모하기 위해, 워드선(1~3)을 워드선 WL1~WL3, 비트선(4~6)을 비트선 BL4~BL6으로서 나타내는 경우도 있다.

그리고, 워드선(1~3) 및 비트선(4~6)의 교점에는 저항 기호로 나타내는 NTJ(8) 및 다이오드 기호로 표시되는 pn 접합 다이오드(?)가 배치되어 있다.

여기서, 워드선(1) 및 비트선(4)을 선택하는 경우를 상정하면, 양자의 교점에 위치하는 MRAM 셀(9a)이 선택된다.

선택된 MRAM 셀(9a)은 비트선(4)을 흐르는 전류 I_a와, 워드선(1)을 흐르는 전류 I_w에 의해 발생한 결합 차계로 기입된다.

전류 I_w 및 I_a 중 어느 한쪽이 셀 영역 내에서 단독으로 발생하는 자체는 NTJ(8)의 소프트 강자성체층(24) 층의 자화 방향을 변경시키는데 필요한 자계보다 작다.

그렇기 때문에, 반 선택 셀인 MRAM 셀(9b~9e)(워드선 및 비트선에 전류 I_w나 I_a 중 어느 한쪽밖에 흐르지 않는 셀)에는 기입은 행해지지 않는다.

그러나, 전류 I_w 및 I_a에 의한 자체가 결합되면, 선택된 메모리 셀(9a)의 소프트 강자성체층(24)의 자화 방향을 변경하는 데 충분한 크기가 된다.

또, 셀(9a)의 소프트 강자성체층(24)의 자화 방향을 상반되는 두개의 다른 자화 방향으로 할 수 있도록, 전류 I_w 및 I_a 중 적어도 한쪽을 양 방향으로 흐르도록 설계된다. 또, 도 77에서는 비트선 제어 회로(51)도 워드선 제어 회로(53)도 쌍으로 구성되어 있기 때문에, 전류 I_w 및 I_a는 양쪽 모두 전류의 방향을 변경할 수 있다.

도 78은 비트선(4~6)(비트선 BL4~BL6) 및 워드선(1~3)(워드선 WL1~WL3)의 전압 및 전류의 타이밍 차트를 나타내고 있다.

도 78에 도시한 바와 같이, 기입 시의 비트선 BL4~BL6의 전압은 전류를 양 방향으로 측리는 데 알맞은 전압 V_b로 설정된다. 또한, 워드선 WL1~WL3의 전압은 전압 V_w보다 크고, 또한 플러스의 전압 V_w로 설정된다.

대기 시에는, 이를 전압은 모든 셀(9)의 pn 접합 다이오드(?)에 역 바이어스가 걸리도록 설정된다. 따라서, 대기 시에 전류 I_w 및 I_a가 메모리 셀 내용을 흐르는 경우는 없다.

<판독 동작>

다음으로, MRAM의 판독 동작에 대하여 도 77 및 도 78을 이용하여 또한 설명한다. 도 78에 도시한 바와 같이 워드선 WL1의 전압을 V_w에서 V_b로 내리고, 비트선 BL4의 전압을 V_b에서 V_w로 올려, 선택된 셀(9a)의 pn 접합 다이오드(?)에 순 바이어스를 인가한다.

판독 중 비선택 비트선(5, 6)은 대기 전압 V_w 그대로이고, 비선택 워드선 WL2 및 WL3은 대기 전압 V_w 그대로이다.

또, 반 선택 셀(9b~9e)에서는 워드선으로부터 비트선으로의 전압 강하가 없기(즉, pn 접합 다이오드(?)에 0V가 인가됨) 때문에, 셀 내용 전류가 흐르지 않는다.

2002-0065323

선택 셀(9a)의 자기 터널 접합에 의해, 비트선 B4로부터 셀(9a)을 통하여 워드선 W1로 흐르는 감지 전류(30)(도 77 참조)의 크기가 결정된다. 비트선 제어 회로(51)의 일부를 구성하는 감지 회로에서 셀 두 개의 상태에 대응하여 예측되는 두개의 전류치의 평균값을 참조 전류로 하고, 감지 전류와 비교한다. 그 리고, 양 전류의 차를 종종하여 선택 셀(9a)에 저장되어 있는 데이터를 판독한다.

또, 도 77의 감지 전류(30)의 파형으로 나타낸 바와 같이, 감지 전류(30)는 MTJ(8)의 두개의 자화 상태에 상당하는 2종류의 전류파형을 나타낸다.

데이터 판독 후, 비트선 B4와 워드선 W1의 전압은 각각의 대기치로 복귀되지만, 메모리 셀(9a)의 자화 상태는 판독 동작 후에도 유지된다.

본명이 이루어져 있는 기술적 조항

이상 설명한 바와 같이, NRAM 셀로의 기입 시에는 비트선과 워드선에 전류를 흘려 자계를 발생시킨다. 그리고, 선택 어드레스와 메모리 셀에는 셀을 구성하는 소프트 강자성체층의 스위치 자계보다 큰 자계를 제거할 필요가 있기 때문에, 비교적 큰 전류를 흘릴 필요가 있었다. 그 때문에, 기입 시의 소비 전력이 커 진다고 하는 문제점이 있었다.

본 발명은 상기한 바와 같은 문제점을 해소하기 위해 이루어진 것으로, 기입 시의 소비 전력을 저감한 목적으로 제공하는 것을 제1 목적으로 한다.

또한, 종래의 NRAM 셀 어레이에서는 적어도 하나의 메모리 셀 어레이로 구성되는 메모리 블록 단위로 일괄하여 데이터를 소거, 혹은 기입하기 위해서는 시간이 걸린다고 하는 문제점이 있었다.

본 발명은 소거 및 기입에 소비되는 시간을 저감한 NRAM을 제공하는 것을 제2 목적으로 한다.

본명의 구성 및 작동

본 발명에 따른 자기 기억 장치는 비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선과, 상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀을 구비한 자기 기억 장치에 있어서, 상기 복수의 메모리 셀은 상기 복수의 비트선의 1개 및 상기 복수의 워드선의 1개 사이에 각각 배치되고, 상기 적어도 하나의 자기 터널 접합은 자화 방향이 변경 가능한 소프트 강자성체층을 갖고, 상기 적어도 하나의 자기 터널 접합은 상기 소프트 강자성체층의 자화가 용이한 방향인 미지 액시스가 상기 복수의 비트선 및 상기 복수의 워드선의 연장 방향에 대하여 40~50°의 각도를 갖도록 배치된다.

본 발명에 따른 자기 기억 장치는 상기 자기 터널 접합이, 상기 미지 액시스에 평행한 변이, 상기 미지 액시스에 직교하는 변보다 길어지도록, 평면에서 본 형상이 구현으로 구성되어 있다.

본 발명에 따른 자기 기억 장치는 비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선과, 상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀을 구비한 자기 기억 장치에 있어서, 상기 복수의 비트선의 제1 단부에 각각 접속되며, 상기 제1 단부와 제1 전원 혹은 제2 전원과의 전기적인 접속을 전환할 수 있는 복수의 제1 전원 수단과, 상기 복수의 비트선의 제2 단부에 각각 접속되며, 상기 제2 단부와 상기 제1 전원 혹은 상기 제2 전원과의 전기적인 접속을 전환할 수 있는 복수의 제2 전원 수단을 포함하고 있다.

본 발명에 따른 자기 기억 장치는, 상기 제1 전환 수단이 상기 복수의 비트선의 제1 단부에 각각의 제1 주전극이 접속되고, 각각의 제2 주전극이 상기 제1 전원 및 상기 제2 전원에 접속된 동일 도전형의 제1 및 제2 MOS 트랜지스터를 갖고, 상기 제2 전환 수단은 상기 복수의 비트선의 제2 단부에 각각의 제1 주전극이 접속되며, 각각의 제2 주전극이 상기 제1 전원 및 상기 제2 전원에 접속된 동일 도전형의 제3 및 제4 MOS 트랜지스터를 갖는다.

본 발명에 따른 자기 기억 장치는, 상기 제1 전환 수단이 상기 복수의 비트선의 제1 단부에 각각의 제1 주전극이 접속되고, 각각의 제2 주전극이 상기 제1 전원 및 상기 제2 전원에 접속된 도전형이 다른 제1 및 제2 MOS 트랜지스터를 갖고, 상기 제2 전환 수단은 상기 복수의 비트선의 제2 단부에 각각의 제1 주전극이 접속되며, 각각의 제2 주전극이 상기 제1 전원 및 상기 제2 전원에 접속된 도전형이 다른 제3 및 제4 MOS 트랜지스터를 갖는다.

본 발명에 따른 자기 기억 장치는 상기 제1 및 제2 MOS 트랜지스터 각각의 상기 제1 주전극 사이에 접속된 상기 제2 MOS 트랜지스터와 동일 도전형의 제3 MOS 트랜지스터와, 상기 제3 및 제4 MOS 트랜지스터 각각의 상기 제1 주전극 사이에 접속된 상기 제4 MOS 트랜지스터와 동일 도전형의 제5 MOS 트랜지스터를 대체하고, 상기 제5 및 제6 MOS 트랜지스터의 제어 전극은 항상 온 상태가 되는 소정 전압을 제공하는 제3 전원에 접속된다.

본 발명에 따른 자기 기억 장치는 비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선, 및, 상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀로 구성되는 복수의 메모리 셀 어레이와, 상기 복수의 메모리 셀 어레이에 걸치는 복수의 메인 워드선과, 상기 복수의 메모리 셀 어레이 개개에 대응하여 배치된 복수의 메모리 셀 어레이 선택선을 갖는 적어도 하나의 메모리 셀 어레이군을 포함하고, 상기 복수의 워드선은 상기 복수의 메인 워드선과 상기 복수의 메인 워드선과의 교차부에 각각 설치된 제1 조향 논리 게이트의 출력에 각각 접속되며, 상기 제1 조향 논리 게이트의 입력은 교차 상태에 있는 상기 복수의 메인 워드선의 1개와 상기 복수의 메모리 셀 어레이 선택선의 1개에 접속된다.

본 발명에 따른 자기 기억 장치는 상기 적어도 하나의 메모리 셀 어레이군을 복수 갖고, 상기 복수의 메모리 셀 어레이군에 걸치는 복수의 글로벌 워드선과, 상기 복수의 메모리 셀 어레이군 개개에 대응하여 배치된 복수의 메모리 셀 어레이군 선택선을 또한 갖고, 상기 복수의 메인 워드선은 상기 복수의 글로벌

2002-0065323

워드선과 상기 복수의 메모리 셀 어레이군 선택선과의 교차부에 각각 설치된 제2 조합 논리 게이트의 출력에 각각 접속되며, 상기 제2 조합 논리 게이트의 입력은 교차 상태에 있는 상기 복수의 글로벌 워드선의 1개와 상기 복수의 메모리 셀 어레이군 선택선의 1개에 접속된다.

본 발명에 따른 자기 기억 장치는 비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선, 상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀로 구성되는 복수의 메모리 셀 어레이와, 상기 복수의 메모리 셀 어레이에 걸치는 복수의 메인 비트선과, 상기 복수의 메모리 셀 어레이에 대응하여 배치된 복수의 메모리 셀 어레이 선택선을 갖는 적어도 하나의 메모리 셀 어레이군을 포함하고, 상기 복수의 비트선은 상기 복수의 메인 비트선과 상기 복수의 메모리 셀 어레이 선택선과의 교차부에 각각 설치된 제1 조합 논리 게이트의 출력에 각각 접속되며, 상기 제1 조합 논리 게이트의 입력은 교차 상태에 있는 상기 복수의 메인 비트선의 1개와 상기 복수의 메모리 셀 어레이 선택선의 1개에 접속된다.

본 발명에 따른 자기 기억 장치는 상기 적어도 하나의 메모리 셀 어레이군을 복수 갖고, 상기 복수의 메모리 셀 어레이군에 걸치는 복수의 글로벌 비트선과, 상기 복수의 메모리 셀 어레이군 개개에 대응하여 배치된 복수의 메모리 셀 어레이군 선택선을 또한 갖고, 상기 복수의 메인 비트선은 상기 복수의 글로벌 비트선과 상기 복수의 메모리 셀 어레이군 선택선과의 교차부에 각각 설치된 제2 조합 논리 게이트의 출력에 각각 접속되며, 상기 제2 조합 논리 게이트의 입력은 교차 상태에 있는 상기 복수의 글로벌 비트선의 1개와 상기 복수의 메모리 셀 어레이군 선택선의 1개에 접속된다.

본 발명에 따른 자기 기억 장치는 비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선, 및, 상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀로 구성되는 메모리 셀 어레이와, 인더터를 포함하고, 상기 적어도 하나의 자기 터널 접합은 자화 방향을 변경할 수 있는 소프트 강자성체층을 갖고, 상기 인더터는 상기 소프트 강자성체층의 자화가 용이한 방향인 미지 액시스를 따른 방향으로 자체를 발생시킨다.

본 발명에 따른 자기 기억 장치는 상기 적어도 하나의 자기 터널 접합이, 상기 미지 액시스가, 상기 복수의 비트선 또는 상기 복수의 워드선의 연장 방향에 접치되도록 배치되고, 상기 인더터는 상기 미지 액시스의 방향과 합치되는 상기 복수의 비트선 또는 상기 복수의 워드선의 연장 방향을 따라 상기 메모리 셀 어레이를 훨씬 빠른 쿠알리의 인더터이다.

본 발명에 따른 자기 기억 장치는 비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선, 및, 상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀로 구성되는 적어도 하나의 메모리 셀 어레이와, 상기 적어도 하나의 메모리 셀 어레이의, 상기 복수의 비트선 및 상기 복수의 워드선의 외측에 각각 설치되며, 상기 복수의 비트선 및 상기 복수의 워드선의 형성 영역을 피하는 평판상 중 적어도 하나의 플래시 비트선과, 적어도 하나의 풀래시 워드선을 포함하고 있다.

본 발명에 따른 자기 기억 장치는 상기 적어도 하나의 메모리 셀 어레이를 복수 갖고, 상기 복수의 메모리 셀 어레이는 매트릭스형으로 배치되며, 상기 적어도 하나의 플래시 비트선 및, 적어도 하나의 풀래시 워드선은 상기 복수의 메모리 셀 어레이의 배열을 따라 매트릭스를 구성하도록 각각 복수 배치된다.

본 발명에 따른 자기 기억 장치는 비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선, 및, 상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀로 구성되는 적어도 하나의 메모리 셀 어레이와, 상기 복수의 비트선 및 복수의 워드선 풍 적어도 한쪽의 두개의 단부에 각각 배치되며, 선택된 비트선 및 워드선 중 적어도 한쪽에 흐르는 전류를 LC 공진에 의해 보존하는 적어도 하나의 인더터와, 적어도 하나의 캐퍼시터를 구비하고 있다.

본 발명에 따른 자기 기억 장치는 상기 적어도 하나의 인더터 및, 상기 적어도 하나의 캐퍼시터를 복수 갖고, 상기 복수의 비트선은 두개가 쌍을 이뤄 복수의 비트선 쌍을 구성하고, 상기 복수의 인더터는 상기 복수의 비트선 쌍 각각에 대응하여 비트선 사이에 전기적으로 접속되도록 배치된 복수의 제1 인더터를 포함하며, 상기 복수의 캐퍼시터는 상기 복수의 인더터의 배치측과는 반대의 단부에서 상기 복수의 워드선 각각에 대응하여 전기적으로 접속되는 복수의 제2 캐퍼시터를 또한 포함하고 있다.

본 발명에 따른 자기 기억 장치는 상기 복수의 워드선 두개가 쌍을 이뤄 복수의 워드선 쌍을 구성하고, 상기 복수의 인더터는 상기 복수의 워드선 쌍 각각에 대응하여 워드선 사이에 전기적으로 접속되도록 배치된 복수의 제2 인더터를 또한 포함하고, 상기 복수의 캐퍼시터는 상기 복수의 인더터의 배치측과는 반대의 단부에서 상기 복수의 워드선 각각에 대응하여 전기적으로 접속되는 복수의 제1 캐퍼시터를 또한 포함하고 있다.

본 발명에 따른 자기 기억 장치는 적어도 하나의 반도체 첨과, 도체로 구성되며 상기 적어도 하나의 반도체 절을 수납하는 차폐체와, 수지로 구성되어 상기 차폐체를 수납하는 패키지와, 상기 패키지의 개구부를 닫아 일폐하는 저면 기판과, 상기 저면 기판의 외측 주면에 배치되며, 상기 적어도 하나의 반도체 첨과 외부와의 신호 전송을 행하는 신호 전송용 범프와, 상기 신호 전송용 범프를 글러싸도록 배치되며, 상기 차폐체에 전기적으로 접속되는 차폐용 범프를 포함하고, 상기 적어도 하나의 반도체 첨을 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀을 구비하여 구성되는 메모리 셀 어레이를 포함한 자기 기억 장치를 포함하고 있다.

본 발명에 따른 자기 기억 장치는 상기 차폐체의 개구부 옆지의 내측 및 외측에 배치된 제1 응력 완화막과, 상기 차폐체의 내벽에 배치된 제2 응력 완화막을 또한 구비하고 있다.

본 발명에 따른 자기 기억 장치는 상기 적어도 하나의 반도체 첨이 상기 메모리 셀 어레이의 주변 회로를 포함하는 회로 첨을 또한 포함하고, 상기 자가 첨 및 상기 회로 첨은 상하로 중첩되어 상기 차폐체 내에 수납된다.

본 발명에 따른 자기 기억 장치는 적어도 하나의 자기 터널 접합이 자화 방향을 변경할 수 있는 소프트 강자성체층을 갖고, 상기 차폐체는 상기 소프트 강자성체층과 동등하거나, 그보다 큰 투자율을 갖는 강자

2002-0065323

성체로 구성되어 있다.

본 발명에 따른 자기 기억 장치는 상기 차폐체가 반강자성체로 구성되어 있다.

본 발명에 따른 자기 기억 장치는 상기 차폐체가 강자성체와 반강자성체와의 다층막으로 구성되어 있다.

본 발명에 따른 자성체 기판은 주면 전역에 배치된 적어도 하나의 자기 터널 접합을 형성하는 다층막을 적어도 갖고 있다.

본 발명에 따른 자성체 기판은 상기 다층막이 상기 적어도 하나의 자기 터널 접합으로서 순서대로 배치된 반자성체층, 강자성체층, 절연체로 구성되는 터널 배리어층 및 소프트 강자성체층을 포함하고 있다.

본 발명에 따른 자성체 기판은 상기 다층막이 상기 적어도 하나의 자기 터널 접합의 하부에 배치되어, pn 접합을 구성하는 제1 도전형 불순물층과 제2 도전형 불순물층과의 2층막을 또한 포함하고 있다.

본 발명에 따른 자성체 기판은 토대가 되는 기판부와, 상기 기판부 상에 배치된 때릴 산화막과, 상기 때릴 산화막 상에 배치된 SOI층을 포함하는 SOI 기판 상에 상기 다층막을 갖고 있다.

<A. 실시예 1>

<본 실시예의 특징>

본 발명의 실시예 1에 따른 MRAM은 MRAM 셀을 구성하는 소프트 강자성체층의 미지 액시스가 비트선 및 웨드선과 비평행하고, 보다 구체적으로는, 비트선 및 웨드선과 40~50°의 각도를 이루도록 MRAM 셀을 배치하는 것을 특징으로 한다.

<A-1. 장치 구성>

<A-1-1. MRAM 셀의 구성>

우선, MRAM 셀의 대표적인 구성에 대하여 도 1을 이용하여 설명한다. 도 1에 도시한 MRAM 셀 MC는 n⁺ 실리콘층(10) 및 p⁺ 실리콘층(11)이 적층되어 구성되는 pn 접합 다이오드(?)를 갖고 있다.

그리고, pn 접합 다이오드(?)의 상부에는 텐스텐 스터드(tungsten stud)(12)가 배치되고, pn 접합 다이오드(?)는 텐스텐 스터드(12)를 통해 자기 터널 접합(Magnetic Tunnel Junction : MTJ : 8)에 전기적으로 접속되어 있다.

MTJ(8)는 적층 구조이고, 아래로부터 순서대로 백금(Pt)으로 구성되는 텁클러층(15)(막 두께 10nm), Ni_xFe_y의 퍼밀로미로 구성되는 초기 강자성체층(16)(막 두께 4nm), Ni_xFe_y으로 구성되는 반자성체층(18)(막 두께 10nm), CoFe 혹은 Ni_xFe_y의 퍼밀로미로 구성되며, 자화 방향이 고정된 강자성체층(20)(막 두께 8nm), Al₂O_x으로 구성되는 터널 배리어층(22), 막 두께 2nm의 CoFe와 막 두께 20nm의 Ni_xFe_y의 다층막으로 구성되는 소프트 강자성체층(24), Pt로 구성되는 컨택트층(25)을 포함하고 있다.

MTJ(8)를 포함해서 MRAM 셀 MC의 평면에서 본 형상을 정방형이고, 그 긴 변에 평행한 방향이 소프트 강자성체층(24)의 전자의 스픬 방향에 서의 미지 액시스가 되도록 설정되어 있다. 또, 짧은 변에 평행한 방향이 자화가 관란한 방향인 하드 액시스(hard axis)가 된다.

<A-1-2. 종래의 MRAM 셀 어레이의 상세한 검토>

도 2는 종래의 MRAM 셀 어레이의 평면 구성을 나타낸다. 또, MRAM 셀 MC1은 편의적으로 사시도로서 나타내고 있다.

도 2에 도시한 바와 같이, 상호 평행하게 배치된 복수의 웨드선 BL1이 상부에서 교차하도록, 상호 평행하게 배치된 복수의 비트선 BL1a가 배치되어 있다.

그리고, 웨드선 및 비트선 사이에 피워지는 각 교점에 MRAM 셀(이후, 간단하게 셀로 호칭하는 경우도 있음) MC1이 형성되어 있다. 또, 각 MRAM 셀 MC1에 모식적으로 나타낸 화살표는 MRAM 셀 MC1의 소프트 강자성체층(24)의 스픬 방향을 나타내고 있고, 도 2에 도시한 대기 상태에서는 모든 MRAM 셀 MC1의 스픬 방향이 우측 방향으로 되어 있다. 또, MRAM 셀 MC1의 구성은, 예를 들면 도 1에 도시한 메모리 셀 MC와 마찬가지이지만, 미 구조에 한정되는 것은 아니다.

도 3은 종래의 MRAM 셀 어레이에서 기입 상태를 모식적으로 나타내는 평면도이다. 또, 이하에서는 MRAM 셀 MC1에 편의적으로 MC1a, MC1b, MC1c의 부호를 붙여 구별하는 경우도 있다.

기입 시, 어드레스 선택을 할하기 위한 웨드선 및 비트선(선택 웨드선 및 선택 비트선으로 호칭)에 소정의 전류를 출리면, 비오-바르비(Biot-Savart) 법칙에 의해 전류 주위에는 자계가 발생한다.

여기서, 비트선 주위에 발생하는 자계를 Hx, 웨드선 주위에 발생하는 자계를 Hy로 한다. 그리고, 편의적으로, 선택 웨드선 및 선택 비트선을 각각 BL1a 및 BL1b로서 표기한다.

또, 도 3에서의 전류가 흐르는 방향은 선택 비트선 BL1b에서는 아래로부터 위로, 선택 웨드선 BL1a에서는 좌측으로부터 우측이다.

선택 웨드선 BL1a 및 선택 비트선 BL1b에 소정의 전류를 출리면, 양선의 교차부(선택 어드레스)에서는 자계 Hx 및 Hy가 결합된다. 이 결합 자계가 인가되면, 선택 웨드선 BL1a 및 선택 비트선 BL1b의 교차부에 설치되어 있는 MRAM 셀 MC1a의 소프트 강자성체층(24)의 자화 방향이 충의 면내에서 회전하고, 데이터의 기입이 행해진다. 도 3에서는 MRAM 셀 MC1a의 스픬 방향이 90° 이상 회전되어 도시되어 있다.

그리고, 셀 형상에 의한 자화 미방성에 의해 미지 액시스쪽으로 스픬이 회전하기 때문에, 최종적으로 스픬은 반전(180° 회전)되게 된다.

2002-0065323

한편, 그 상하에 위치하는 워드선 및 비트선의 한쪽밖에 전류가 흐르고 있지 않은 반 선택(half-select) 셀(9)인 MRAM 셀, 즉 도 3에 도시한 복수의 MRAM 셀 MC1b에서도 소프트 강자성체층(24)의 스팬이 회전하지만, 반전에는 이르지 않도록 각 전류가 설정되어 있다.

또, 선택 비트선 BL1a에 의한 복수의 반 선택 셀 MC1c는 선택 비트선 BL1a 주위에 발생하는 자계 Hx가 이지 액시스의 방향과 동일하기 때문에, 자계 Hx만으로는 도 3 상에 표시하는 만큼의 큰 회전을 일으킬 수 없다.

도 4는 스팬을 반전시키는 데 필요한 자계 Hx를 자계 Hx와 Hy의 결합 자계로 형성하는 경우의 상기 3자계의 관계를 나타낸다. 도 4에서 평면에 자계 Hx를, 축축에 자계 Hy를 나타내고 있다. 또한, 상기 관계를 미하에 수식으로 나타낸다.

$$H_x^{2n} + H_y^{2n} - H_z^{2n}$$

도 4에서의 곡선은 마스터로이드 폭선으로 표현된다. 그리고, 자계 Hx가 하기 수학식 4로 표현되는 경우, 소프트 강자성체층(24)의 스팬은 반전된다.

$$H_x^{2n} + H_y^{2n} < H_z^{2n}$$

또한, 자계 Hx가 하기 수학식 5로 표현되는 경우, 소프트 강자성체층(24)의 스팬 방향은 유지된다.

$$H_x^{2n} + H_y^{2n} > H_z^{2n}$$

정상 전류 I 주위에 발생하는 자속 밀도 B는 비오 시바르의 법칙으로부터 다음 수학식 6으로 표현된다.

$$B(R) = \frac{\mu}{2\pi} \cdot \frac{I}{R}$$

여기서, μ 는 투자율, R은 전류 I로부터의 거리이다.

또한, 자계 H와 자속 밀도 B는 다음 수학식 7로 표현되는 관계에 있다.

$$B \propto H$$

따라서, 이하의 수학식 8이 성립한다.

$$H(R) = \frac{1}{2\pi} \cdot \frac{I}{R}$$

상기 수학식 8로부터 자계 H는 정상 전류 I에 비례하는 것을 알 수 있다. 따라서, 기입 시의 소비 전력을 내리기 위해서는 스팬을 반전시키는 데 필요한 자계 Hx를 내리는 것, 즉, Hx+Hy를 가능한 한 작게 하는 것이 바람직하다.

발달자율은 상술한 종래 기술의 검토에 기초하여, 자계 Hx를 저감할 수 있는 MRAM 셀 어레이의 구성에 도달하였다.

<A-1-3. MRAM 셀 어레이의 구성 및 동작>

도 5는 본 발명의 실시예 1에 따른 MRAM 셀 어레이 MA10의 평면 구성을 나타낸다. 도 5에 도시한 바와 같이, 상호 평행하게 배치된 복수의 워드선 WL1a 상부에서 교차하도록, 상호 평행하게 배치된 복수의 비트선 BL1a에 배치되어 있다.

그리고, 워드선 및 비트선 사이에, 끼워지는 각 교점에 MRAM 셀 MC2가 형성되어 있다. 또, MRAM 셀 MC2의 구성은, 예를 들면 도 1에 도시한 메모리 셀 MC와 마찬가지로 하지만, 이 구성에 한정되는 것은 아니다.

도 5에 도시한 바와 같이, 미지 액시스가 비트선 및 워드선에 대하여 45° 기울도록 각 MRAM 셀 MC3이 배치되어 있다. 또, 본 예에서, 워드선 WL1a에 대해서는 우측 경사 상에 45° 기울어져 배치되어 있기 때문에, 도 5에 도시한 대기 상태에서는 모든 MRAM 셀 MC2의 스팬 방향이 우측 경사 상의 방향으로 되어 있다.

도 6은 MRAM 셀 어레이 MA10의 기입 상태를 모식적으로 나타내는 평면도이다. 또, 이하에서는 MRAM 셀 MC2에 편의적으로 MC2a, MC2b, MC2c의 부호를 붙여 구별하는 경우도 있다.

선택 워드선 WL1a 및 선택 비트선 BL1b에 소정의 전류를 흘리면, 양선의 교차부(선택 어드레스)에서는 자계 Hx 및 Hy가 결합된다. 또, 도 6에서의 전류가 흐르는 방향은 선택 비트선 BL1b에서는 아래로부터 위로, 선택 워드선 WL1a에서는 좌측으로부터 우측이다.

이 결합 자계가 인가되면, 선택 워드선 WL1a 및 선택 비트선 BL1b의 교차부에 설치되어 있는 MRAM 셀

2002-0065323

MC1a의 소프트 강자성체총(24)의 자화 방향이 층의 면내에서 회전하고, 데이터의 기입이 행해진다. 도 6에서는 MRAM 셀 MC2a의 스팬 방향이 90° 이상 회전되어 도시되어 있다.

그리고, 셀 형상에 의한 자화 미방성에 의해 이미 액시스쪽으로 스팬이 회전하기 때문에, 최종적으로 스팬은 반전(180° 회전)되게 된다.

한편, 그 상하에 위치하는 워드선 및 비트선의 한쪽밖에 전류가 흐르고 있지 않은 반 선택 셀인 MRAM 셀, 즉, 도 6에 도시한 복수의 MRAM 셀 MC2b 및 MC2c에서도 소프트 강자성체총(24)의 스팬이 회전하지만 반전에는 이르지 않도록, 각 전류가 설정되어 있다.

여기서, 선택 비트선 BL1a에 의한 복수의 반 선택 셀 MC2c는 선택 비트선 BL1a 주위에 발생하는 자계 Hx 가 이미 액시스의 방향에 대하여 약 45° 각도로 교차하기 때문에, 도 6에 표시한 바와 같이 소프트 강자성체총(24)의 스팬이 회전하지만, 각 전류의 크기를 조절함으로써, 스팬을 반전시킬 수도 있고, 반전시키지 않을 수도 있다. 이것은 선택 워드선 WL1a에 의한 복수의 반 선택 셀 MC2b에 대해서도 마찬가지다.

<A-1-4. 그 밖의 구성에>

도 7은 실시예 1의 그 밖의 구성에서 MRAM 셀 어레이 MA20의 평면 구성을 나타낸다. 도 7에 도시한 바와 같이, 상호 평행하게 배치된 복수의 워드선 WL1의 상부에서 교차하도록, 상호 평행하게 배치된 복수의 비트선 BL1이 배치되어 있다.

그리고, 워드선 및 비트선 사이에 끼워지는 각 교점에 MRAM 셀 MC3이 형성되어 있다. 또, MRAM 셀 MC3의 구성은, 예를 들면 도 1에 도시한 메모리 셀 MC 와 마찬가지로 하지만, 이 구성에 한정되는 것은 아니다.

도 7에 도시한 바와 같이, 이미 액시스가 비트선 및 워드선에 대하여 45° 기울도록 각 MRAM 셀 MC3이 배치되어 있다. 또, 본 예에서, 워드선 WL1에 대해서는 우측 경사 아래로 45° 기울어져 배치되어 있기 때문에, 도 7에 도시한 대기 상태에서는 모든 MRAM 셀 MC3의 스팬 방향이 우측 경사 아래 방향으로 되어 있다.

도 8은 MRAM 셀 어레이 MA20의 기입 상태를 모식적으로 나타낸는 평면도이다. 또, 미하에서는 MRAM 셀 MC3a에 편의적으로 MC3a, MC3b, MC3c의 부호를 붙여 구별하는 경우도 있다.

선택 워드선 WL1a 및 선택 비트선 BL1a에 소정의 전류를 흘리면, 양선의 교차부(선택 어드레스)에서는 자계 Hx 및 Hy가 결합된다.

또, 도 8에서의 전류가 흐르는 방향은 선택 비트선 BL1a에서는 아래로부터 위로, 선택 워드선 WL1a에서는 좌측으로부터 우측이다.

이 결합 자계가 인가되면, 선택 워드선 WL1a 및 선택 비트선 BL1a의 교차부에 설치되어 있는 MRAM 셀 MC3a의 소프트 강자성체총(24)의 자화 방향이 층의 면내에서 회전하고, 데이터의 기입이 행해진다. 도 8에서는 MRAM 셀 MC3a의 스팬 방향이 90° 이상 회전되어 도시되어 있다.

그리고, 셀 형상에 의한 자화 미방성에 의해 이미 액시스쪽으로 스팬이 회전하기 때문에, 최종적으로 스팬은 반전(180° 회전)되게 된다.

한편, 도 8에 도시한 반 선택 셀인 복수의 MRAM 셀 MC2b 및 MC2c에서도 소프트 강자성체총(24)의 스팬이 회전하지만, 반전에는 이르지 않도록 각 전류가 설정되어 있다.

<A-1-5. MRAM 셀의 배치 방향의 최적화>

다음으로, 도 9~도 25를 이용하여 MRAM 셀의 배치 방향의 최적화에 대하여 설명한다.

우선, 결합 자계 Hx에 의해 스팬 방향을 반전시키는 경우에 대해 설명한다.

도 9 및 도 10은 도 20에 도시한 종래의 MRAM 셀 어레이에서의 기입 시의 선택 어드레스의 MRAM 셀 MC1a의 스팬 방향과, 그것을 반전시키는 결합 자계 Hx의 방향의 관계를 모식적으로 나타낸다.

도 9 및 도 10에서 자계 Hx 및 Hy의 크기가 동일한 경우를 상정하면, 스팬과 결합 자계 Hx가 이루는 각도는 $\theta = 135^\circ$ 가 된다.

또한, 도 11 및 도 12는 도 5에 도시한 MRAM 셀 어레이 MA10에서의 기입 시의 선택 어드레스의 MRAM 셀 MC2a의 스팬 방향과, 그것을 반전시키는 결합 자계 Hx의 방향의 관계를 모식적으로 나타낸다.

도 11 및 도 12에서 자계 Hx 및 Hy의 크기가 동일한 경우를 상정하면, 스팬과 결합 자계 Hx가 이루는 각도는 $\theta = 90^\circ$ 가 된다.

또한, 도 13 및 도 14는 도 7에 도시한 MRAM 셀 어레이 MA20에서의 기입 시의 선택 어드레스의 MRAM 셀 MC3a의 스팬 방향과, 그것을 반전시키는 결합 자계 Hx의 방향의 관계를 모식적으로 나타낸다.

도 13 및 도 14에서 자계 Hx 및 Hy의 크기가 동일한 경우를 상정하면, 스팬과 결합 자계 Hx가 이루는 각도는 $\theta = 180^\circ$ 가 된다.

다음으로, 도 15는 결합 자계 Hx와, 자계 Hx 및 Hy와의 관계를 나타낸다. 이 관계는 도 4에서 마스터로 미드 콘선으로서 나타낸 것과 동일하지만, $|Hx|+|Hy|=1$ 일정이라는 조건 하에서, 즉, 일정한 기입 전류라는 조건 하에서 마스터로 미드 콘선 상의 자계 Hx 및 Hy를 구하면, $Hx=Hy=\sqrt{2}/2$ 의 관계가 얻어진다.

이것에 기초하면, 도 9 및 도 10에 도시한 종래의 MRAM 셀 어레이에서는 결합 자계 Hx에 의해 스팬이 약 135° 회전시키고, 거기에서 180° 까지는 형상에 의한 자화 미방성을 이용하여 스팬을 회전시키고 있다.

한편, 도 11 및 도 12에 도시한 MRAM 셀 어레이 MA10에서는 동일한 결합 자계의 크기로 스팬이 약 90° 회전한다. 따라서, 형상에 의한 자화 미방성을 이용해도 스팬이 반전하는지 어떤지가 임계의 상태이다.

록 2002-0065323

그렇기 때문에, MRAM 셀 어레이 MA10의 구성을 채용하는 경우에는 자계 H_x 를 자계 H_y 보다 약간 크게 하고, 스피드 회전각 θ_s 를 90° 이상으로 하는 것이 바람직하다.

또, 도 13 및 도 14에 도시한 MRAM 셀 어레이 MA20에서는 동일한 결합 자계의 크기로 스피드가 약 180° 회전하기 때문에, 확실하게 스피드를 반전시킬 수 있다.

다음으로, 결합 자계 H_K 가 기해져도 스피드의 방향을 유지시키는 경우에 대해 스피드의 방향과, 그것을 유지하는 결합 자계 H_K 의 방향의 관계를 도 16~도 21에 모식적으로 나타낸다. 또, 도 16~도 21은 도 9~도 14에 대응하고 있기 때문에, 증폭되는 설명은 생략한다.

도 16 및 도 17에서 자계 H_x 및 H_y 의 크기가 동일한 경우를 상정하면, 스피드과 결합 자계 H_K 가 이루는 각도는 $\theta_s=45^\circ$ 가 된다.

도 18 및 도 19에서 자계 H_x 및 H_y 의 크기가 동일한 경우를 상정하면, 스피드과 결합 자계 H_K 가 이루는 각도는 $\theta_s=0^\circ$ 가 된다.

도 20 및 도 21에서 자계 H_x 및 H_y 의 크기가 동일한 경우를 상정하면, 스피드과 결합 자계 H_K 가 이루는 각도는 $\theta_s=90^\circ$ 가 된다.

따라서, 도 16에 도시한 증례의 MRAM 셀 어레이에서 스피드 방향은 거의 유지되고, 또한, 도 18에 도시한 MRAM 셀 어레이 MA10에서 스피드 방향은 확전하게 유지되도록 기입이 행해지지만, 도 20에 도시한 MRAM 셀 어레이 MA20에서는 스피드가 반전하는지 어떤지 일정의 상태이고, 바람직하지 않다.

이상의 고찰로부터 도 13 및 도 20에 도시한 MRAM 셀 어레이 MA20의 구성을 채용하고, 비트선 및 워드선에 흐르는 전류의 방향을 고려하는 것이 바람직하다. 상기 구성을 대하여 도 22~도 25를 이용하여 설명 한다.

도 22 및 도 23은 MRAM 셀 어레이 MA20의 구성을 통해서, 도 8과 마찬가지로 전류가 흐르는 방향이 선택 비트선 BL1a에서는 아래로부터 위로, 선택 워드선 WL1a에서는 좌측으로부터 우측인 경우의 기입 시의 선택 어드레스의 MRAM 셀 MC3의 스피드 방향과, 그것을 반전시키는 결합 자계 H_K 의 방향의 관계를 모식적으로 나타내고 있다.

도 22 및 도 23에서 자계 H_x 및 H_y 의 크기가 동일한 경우를 상정하면, 스피드과 결합 자계 H_K 가 이루는 각도는 $\theta_s=180^\circ$ 가 되고, 스피드 방향을 반전시킴으로써 데이터를 기입하는 경우에 적합한 구성이다라고 할 수 있다.

또한, 도 24 및 도 25는, MRAM 셀 어레이 MA20의 구성을 통해서, 전류가 흐르는 방향이 선택 비트선 BL1a에서는 위로부터 아래로, 선택 워드선 WL1a에서는 우측으로부터 좌측으로 되어 있는 경우의 기입 시의 선택 어드레스의 MRAM 셀 MC3의 스피드 방향과, 그것을 유지하는 결합 자계 H_K 의 방향 관계를 모식적으로 나타내고 있다.

또, 도 22의 경우와 비교하여 비트선 및 워드선에 흐르는 전류의 방향을 변경하고 있다.

도 24 및 도 25에서 자계 H_x 및 H_y 의 크기가 동일한 경우를 상정하면, 스피드과 결합 자계 H_K 가 이루는 각도는 $\theta_s=0^\circ$ 가 되고, 스피드 방향을 유지함으로써 데이터를 기입하는 경우에 적합한 구성이다라고 할 수 있다.

또한, 도 22 및 도 24의 어떠한 구성을에서도 결합 자계의 방향과 이지 액세스가 일치하고 있기 때문에, 기입 오자가 증례보다 적아지는 이점을 또한 갖고 있다.

<4-2. 작용 효과>

이상 설명한 바와 같이, 본 발명에 따른 실시예 1의 MRAM에 따르면, MRAM 셀을 구성하는 소프트 강자성체 층(24)의 이지 액세스를 비트선 및 워드선에 대하여 비스듬하게 $40\sim50^\circ$ 바람직하게는 45° 의 각도를 이루도록 기울여지게 하며 배치함으로써, 적은 기입 전류로 선택 어드레스에서의 MRAM 셀의 스피드 방향을 확실하게 반전시킬 수 있고, 기입 시의 소비 전력을 저감시킬 수 있다.

또한, 선택 어드레스에서의 MRAM 셀의 스피드 방향을 반전시키는 경우와, 스피드 방향을 유지하는 경우에 비트선 및 워드선에 흐르는 전류의 방향을 변경함으로써, 결합 자계의 방향과 이지 액세스를 일치시켜 기입 오차를 저감시킬 수도 있다.

<5. 실시예 2>

<본 실시예의 특징>

본 발명의 실시예 2에 따른 MRAM은 MRAM 셀 어레이의 비트선 및 워드선 응답에 한쌍의 판독/기입 제어 회로를 구비하고, 상기 회로의 구성으로서 비트선과 전원 전압 V_{DD} 를 접속하는 제1 MOS 트랜지스터와, 비트선과 접지 전압 V_{SS} 를 접속하는 제2 트랜지스터를 포함하고, 기입 시 비트선의 양 방향으로 기입 전류가 흐르는 기능과, 판독 시 감지 전류에 기인하는 전압을 감지 증폭기로 증폭하는 기능을 갖는다.

<5-1. 장치 구성>

<5-1-1. MRAM의 전체 구성>

도 26은 본 발명의 실시예 2에 따른 MRAM의 구성을 나타내는 블록도이고, MRAM 셀 어레이 MCA와, 그 주변 회로를 나타내고 있다.

도 26에서 열 어드레스 버퍼(column address buffer) CAB는 열 어드레스 신호를 수신하고, 신호를 반전,

2002-0065323

혹은, 증폭하여 열 디코더 CD로 출력한다.

열 디코더 CD는 열 어드레스 신호를 디코드하고, 디코드한 신호를 멀티플렉서 MUX로 출력한다.

멀티플렉서 MUX는 디코드된 열 어드레스 신호에 따라 비트선을 선택한다. 동시에 비트선의 한쪽 단에 접속되는 열 판독/기입 제1 제어 회로 CRW1로 신호를 출력하고, 열 판독/기입 제1 제어 회로 CRW1로부터는 판독, 혹은, 기입에 따라 선택 비트선으로 전압, 전류가 인가된다.

행 어드레스 버퍼(row address buffer) RAB는 행 어드레스 신호를 수신하고, 신호를 반전, 혹은, 증폭하여 행 디코더 RD로 출력한다.

행 디코더 RD는 행 어드레스 신호를 디코드하고, 디코드된 행 어드레스 신호에 따라 워드선을 선택한다. 동시에 비트선의 한쪽 단에 접속되는 행 판독/기입 제1 제어 회로 RRW1로 신호를 출력하고, 행 판독/기입 제1 제어 회로 RRW1로부터는 판독, 혹은, 기입에 따라 선택 워드선으로 전압, 전류가 인가된다.

또한, NRAM 셀 어레이 MCA로부터 판독된 데이터, 혹은, NRAM 셀 어레이 MCA에 기입하는 데이터는 입출력 버퍼 IOB를 통해 외부와의 사이에서 데이터의 입출력이 행해진다.

또, 비트선의 다른쪽 단에는 열 판독/기입 제2 제어 회로 CRW2가 접속되고, 워드선의 다른쪽 단에는 행 판독/기입 제2 제어 회로 RRW2가 접속되어 있다.

<8-1-2. NRAM의 상세 구성>

도 27은 도 26에 도시한 NRAM 중 멀티플렉서 MUX, 열 디코더 CD, 행 디코더 RD, 입출력 버퍼 IOB를 제외한 구성에 대한 회로도를 나타내고 있다. 또한, 열 어드레스 버퍼 CAB 및 행 어드레스 버퍼 RAB에 대해 서는 편의적으로 도시를 생략하고 있다. 또, 도 27에 도시한 구성의 NRAM은 NRAM(100)으로 호칭한다.

도 27에서 NRAM 셀 어레이 MCA는 NRAM 셀 MC11, MC21, MC12 및 MC22를 갖고 있다. 어떠한 NRAM 셀도 자가 터널 접합(MTJ)과 pn 접합 다이오드가 직렬로 접속된 구조를 갖고, 도 27에서는 MTJ를 가변 저항으로 나타낸다. 다이오드와의 직렬 접속 회로가 등가 회로로서 표시되어 있다.

MTJ를 가변 저항으로 나타내는 것은 MTJ를 구성하는 소프트 강자성체층(전자 스픬 방향이 변경 가능, 즉 자화 방향이 변경 가능)과, 강자성체층(전자 스픬 방향이 고정, 즉 자화 방향이 고정)에서 양자의 스픬이 동일 방향을 향하고 있는 경우에는 터널 저항이 작아지고, 상호 반대 방향을 향하고 있는 경우에는 터널 저항이 커지기 때문이다. 따라서, 이 가변 저항은 두개의 저항치를 갖는다.

NRAM 셀 MC11은 비트선 BL1과 워드선 WL1 사이에 직렬 접속된 가변 저항 R11 및 다이오드 D11을 갖고, NRAM 셀 MC21은 비트선 BL1과 워드선 WL2 사이에 직렬 접속된 가변 저항 R21 및 다이오드 D21을 갖고, NRAM 셀 MC12는 비트선 BL2와 워드선 WL1 사이에 직렬 접속된 가변 저항 R12 및 다이오드 D12를 가지며, NRAM 셀 MC22는 비트선 BL2와 워드선 WL2 사이에 직렬 접속된 가변 저항 R22 및 다이오드 D22를 갖고 있다.

비트선 BL1 및 BL2는 열 판독/기입 제2 제어 회로 CRW2에서 각각 NMOS 트랜지스터 MN11 및 MN21을 통해 드레인 전압 V_D가 제공되는 구성으로 되어 있다. 그리고, NMOS 트랜지스터 MN11 및 MN21의 드레인 전극에는 각각 NMOS 트랜지스터 MN12 및 MN22의 드레인 전극이 접속되고, NMOS 트랜지스터 MN12 및 MN22의 소스 전극에는 소스 전압 V_S가 제공되는 구성으로 되어 있다.

또한, NMOS 트랜지스터 MN11, MN12, MN21 및 MN22의 게이트 전극에는 각각, NAND 게이트 ND1, ND2, ND3 및 ND4의 출력이 제공되고, NAND 게이트 ND1~ND4 각각의 3개의 입력은 멀티플렉서 MUX에 접속되어 있다.

비트선 BL1 및 BL2는 열 판독/기입 제1 제어 회로 CRW1에서 각각 NMOS 트랜지스터 MN13, 가변 저항 R31 및 MN23, 가변 저항 R32를 통해 드레인 전압 V_D가 제공되는 구성으로 되어 있다. 그리고, NMOS 트랜지스터 MN13 및 MN23의 드레인 전극에는 각각 NMOS 트랜지스터 MN14 및 MN24의 드레인 전극이 접속되고, NMOS 트랜지스터 MN14 및 MN24의 소스 전극에는 소스 전압 V_S가 제공되는 구성으로 되어 있다.

또한, NMOS 트랜지스터 MN13 및 MN23의 소스 전극은 감지 전류의 검출을 위해, 감지 증폭기를 포함하는 멀티플렉서 MUX에도 접속되어 있다.

또한, NMOS 트랜지스터 MN13, MN14, MN23 및 MN24의 게이트 전극에는 각각, NAND 게이트 ND5, ND6, ND7 및 ND8의 출력이 제공되고, NAND 게이트 ND1~ND4 각각의 3개의 입력은 멀티플렉서 MUX에 접속되어 있다.

워드선 WL1 및 WL2는 행 판독/기입 제1 제어 회로 RRW1에서 각각 NMOS 트랜지스터 QN11 및 QN21을 통해 드레인 전압 V_D가 제공되는 구성으로 되어 있다. 그리고, NMOS 트랜지스터 QN11 및 QN21의 드레인 전극에는 각각 NMOS 트랜지스터 QN12 및 QN22의 드레인 전극이 접속되고, NMOS 트랜지스터 QN12 및 QN22의 소스 전극에는 소스 전압 V_S가 제공되는 구성으로 되어 있다.

또한, NMOS 트랜지스터 QN11, QN12, QN21 및 QN22의 게이트 전극은 행 디코더 RD에 접속되어 있다.

워드선 WL1 및 WL2는 행 판독/기입 제2 제어 회로 RRW2에서 각각 NMOS 트랜지스터 QN13 및 QN14를 통해 소스 전압 V_S가 제공되는 구성으로 되어 있다.

또, 도 27에서는 NRAM 셀 어레이 MCA를 2행2열의 셀 어레이로 하고 있지만, 행과 열의 사이즈는 미에 한정되는 것은 아니다.

<8-2. 장치 동작>

이하, 도 27~도 29를 이용하여 NRAM(100)의 동작에 대하여 설명한다.

도 28은 판독 및 기입 시의 NRAM(100)에서의 각종 전류 및 전압의 타이밍차트이다.

2002-0065323

도 28에서는 깊지 전류의 타이밍차트, NRAM 셀 MC11, MC21, MC12의 기입 및 판독에서의 워드선 및 비트선에 제공되는 전압의 타이밍차트를 나타낸다. NMOS 트랜지스터 MN11, MN12, MN13 및 MN14 각각의 게이트 전극에 제공되는 게이트 전압 V_{G1}, V_{G2}, V_{G3} 및 V_{G4}의 타이밍차트, NMOS 트랜지스터 QN11, QN12 및 QN13의 게이트 전극에 제공되는 게이트 전압 V_{G5}, V_{G6} 및 V_{G7}의 타이밍차트, 및 NMOS 트랜지스터 MN13의 소스 전압 V_S의 타이밍차트를 나타내고 있다.

또한, 도 28에서 워드선 및 비트선의 대기 시의 전압은 전압 V_{DD} 및 V_{SS}로 되어 있다.

각 NRAM 셀에는 pn 접합 다이오드가 포함되어 있기 때문에, 대기 시는 삼기 다이오드의 pn 접합에 의해 바이어스가 인가되도록, 워드선 및 비트선에는 전압 V_{DD} 및 V_{SS}가 인가된다. 또, 도 27에 도시한 바와 같이, 각 다이오드는 워드선에 캐소드가 접속되도록 구성되어 있기 때문에, V_{DD} 및 V_{SS}의 관계가 되도록 설정된다.

이하에서는 전압 V_{DD}=소스 전압 V_S로 상정하여 비트선 BL1의 제어에 대하여 설명한다.

<B-2-1. 대기 상태>

도 26에 도시한 바와 같이, 대기 상태에서 모든 워드선은 전압 V_{DD}, 모든 비트선은 전압 V_{SS}가 인가된다. 이것을 실현하기 위해, 도 28에 도시한 4개의 NMOS 트랜지스터 MN11, MN12, MN13 및 MN14가 배치되어 있다.

즉, 대기 시는 NMOS 트랜지스터 MN11 및 MN13이 오프 상태가 되도록 게이트 전압 V_{G1} 및 V_{G3}에 소스 전압 V_S가 제공되고, NMOS 트랜지스터 MN12 및 MN14가 온 상태가 되도록 게이트 전압 V_{G2} 및 V_{G4}에 드레인 전압 V_{DD}가 제공된다.

또한, NMOS 트랜지스터 QN11이 온 상태가 되도록 게이트 전압 V_{G5}를 인가하고, NMOS 트랜지스터 QN12가 오프 상태가 되도록 게이트 전압 V_{G6}를 인가하며, NMOS 트랜지스터 QN13이 오프 상태가 되도록 게이트 전압 V_{G7}를 인가한다.

또, NMOS 트랜지스터 QN11은 소스 전극이 드레인 전압 V_{DD}에 접속되어 있기 때문에, 게이트 전압 V_{G5}로서는 V_S+ΔV_S의 전압을 인가한다. 이것은 트랜지스터의 일계자 전압에 의한 전압 강하를 보충하기 위해서이다.

이 결과, 비트선 BL1에는 소스 전압 V_S가 제공되고, 워드선 WL1에는 드레인 전압 V_{DD}가 제공된다.

<B-2-2. 기입 상태 1(라이트 1)>

NRAM 셀 MC11에 데이터 1을 기입하는(스핀 방향을 반전시킴) 경우, 선택 워드선 WL1과 선택 비트선 BL1에 전류를 흘릴 필요가 있다. 도 27에 도시한 NRAM(100)에서는 비트선에만 양 방향으로 전류가 흐르는 것을 상정하고 있다.

이 경우, NMOS 트랜지스터 MN11 및 MN14를 온 상태로 하고, NMOS 트랜지스터 MN12 및 MN13을 오프 상태로 한다. 단, NMOS 트랜지스터 MN11은 소스 전극이 드레인 전압 V_S에 접속되어 있기 때문에, 게이트 전압 V_{G5}로서는 V_S+ΔV_S의 전압을 인가한다.

이 결과, 비트선 BL1을 흐르는 전류 I_{BL1}는 도 27의 위로부터 아래를 향해서 흐르게 된다.

한편, NMOS 트랜지스터 MN11 및 MN13은 온 상태로 하고, NMOS 트랜지스터 QN12를 오프 상태로 함으로써, 선택 워드선 WL1에는 도 27의 좌측으로부터 우측을 향해서 전류 I_{WL1}가 흐르게 된다. NMOS 트랜지스터 QN11은 소스 전극이 드레인 전압 V_{DD}에 접속되어 있기 때문에, 게이트 전압 V_{G5}로서는 V_S+ΔV_S의 전압을 인가한다.

이와 같이 하여, 선택 워드선 WL1 및 선택 비트선 BL1을 흐르는 전류 I_{WL1} 및 I_{BL1}에 기인하는 자계에 의해, NRAM 셀 MC11의 NTJ의 소프트 강자성체층의 스팬이 회전하여 데이터가 기입된다.

<B-2-3. 판독 상태 1(리드 1)>

NRAM 셀 MC11에 기입된 데이터 1을 판독하는 경우, NRAM 셀 MC11의 다이오드 D11에만 순 바이어스를 인가하고, 깊지 전류 I_{BL1}를 출력한다. 이 깊지 전류 I_{BL1}가 NRAM 셀 MC11을 흐르면 비트선 BL1이 전압 강하를 일으킨다. 이 전압 강하의 크기로 데이터가 1인지 0인지 인지를 판단한다.

다이오드 D11에 순 바이어스를 인가하기 위해, 선택 워드선 WL1에 전압 V_S를, 선택 비트선 BL1에 전압 V_{DD}를 인가한다. 이 상태를 실현하기 위해, NMOS 트랜지스터 MN11 및 MN13은 온 상태로 하고, NMOS 트랜지스터 MN12 및 MN14는 오프 상태로 한다.

단, NMOS 트랜지스터 MN11 및 MN13은 소스선이 V_S이기 때문에, 게이트 전압 V_{G5} 및 V_{G7}으로서 V_S+ΔV_S의 전압이 인가된다.

마지막으로, 비선택 아ドレス의 NRAM 셀 MC22의 pn 접합 다이오드 D22에는 역 바이어스(워드선 WL2에 전압 V_{DD}, 비트선 BL2에 전압 V_S)가 인가된 상태 그대로이고, 반 선택 아ドレス의 NRAM 셀 MC12 및 MC21의 다이오드 D12 및 D21에는 전위차가 제공되지 않고(0바이어스), NRAM 셀 MC12, MC21 및 MC22에 전류는 흐르지 않는다.

2002-0065323

여기서, 가변 저항 R11(즉 MTJ)의 두개의 저항치 중, 높은 쪽의 값을 R_u , 낮은 쪽의 값을 R_d 로 한다. MRAM 셀 MC11의 어모리 셀을 흐르는 감지 전류 I_s 는 MTJ의 저항치(즉 가변 저항 R11의 값)에 의해 크기가 변한다. MTJ의 저항이 R_u 및 R_d 일 때의 감지 전류의 값을 I_u 및 I_d 로 하면, $I_u > I_d$ 이기 때문에, $I_u > I_s$ 이 성립한다.

MRAM 셀 MC11에는 감지 전류가 흐르기 때문에, NMOS 트랜지스터 MN13의 소스 전극(멀티플렉서 MUX에 접속)의 전압 V_{ss} 은 드레인 전압 V_{dd} 보다 저하된다.

이 전압 강하는 자기 터널 저항치에 의존하고, 이 강한 전압을 멀티플렉서 MUX에 포함되는 감지 증폭기에 서 힘조 전압과 비교하여 데이터 D_1 를 검출한다.

<8-2-4. 기입 상태 0(라이트 0)>

MRAM 셀 MC11에 데이터 D_1 을 기입하는(스핀 방향을 유지함) 경우, 기입 상태 1의 경우와 다른 것은 선별 비트선 BL1을 흐르는 전류의 방향이 의미 되는 점이다. 이것을 실현하기 위해, NMOS 트랜지스터 MN11 및 MN14를 오프 상태로 하고, NMOS 트랜지스터 MN12 및 MN13를 온 상태로 한다.

이 결과, 비트선 BL1을 흐르는 전류 I_s 는 도 27의 아래로부터 위를 향해 흐르게 된다.

<8-2-5. 판독 상태 0(라이트 0)>

MRAM 셀 MC11에 기입된 데이터 D_1 을 판독하는 경우, NMOS 트랜지스터 MN11, MN12, MN13 및 MN14의 둘작은 판독 상태 1(라이트 1)과 동일하다. 단, 판독하는 데이터가 D_1 인 경우의 NMOS 트랜지스터 MN13의 소스 전극의 전압 V_{ss} 과, 판독하는 데이터가 D_1 인 경우의 전압 V_{ss} 과의 전압 차 ΔV 는 자기 터널 저항의 변화율 $(R_u - R_d)/R$ 의 값이 물수록 커진다. 전압 차 ΔV 가 물수록 감지 증폭기에서 검출할 수 있는 힘조 전압에 대한 마진이 커지기 때문에, 검출이 용이해진다.

여기서, 도 29에서 자기 터널 저항의 변화율의 인가 전압 의존성을 나타낸다. 도 29에서, 평균에 MTJ에 인가하는 바이어스 전압을, 증폭에 자기 터널 저항의 변화율 $((R_u - R_d)/R)$ 을 나타낸다. 또, 도 29에는 지금 까지 설명한 MTJ의 터널 배리어층을 1층 갖는 단일 자기 터널 접합에 대한 특성과 함께, 터널 배리어층을 2층 갖는 2층 자기 터널 접합에 대한 특성을 더불어 나타내고 있다.

도 29로부터 알 수 있는 바와 같이, (단일 및 2층) 자기 터널 접합에 인가하는 전압이 0.1V 정도일 때, 자기 터널 저항의 변화율이 최대가 된다. 따라서, 판독 시 선택 비트선 BL1에 인가하는 전압 V_s 는 V_{ss} 접합에 인가되는 전압보다 0.1V만큼 높은 전압이 바람직하다. 이 전압은 NMOS 트랜지스터 MN11과 MN13의 게이트 전압 $V_{gg} + \Delta V_{ss}$ 의 값을 조절함으로써 실현할 수 있다.

여기서, 2층 자기 터널 접합의 구성에 대하여 도 30을 이용하여 설명한다. 도 30에 도시한 바와 같이, 2층 자기 터널 접합은 제1 반강자성체층 AF1, 강자성체층 FM1, 제1 터널 배리어층 TB1, 소프트 강자성체층 FMS, 제2 터널 배리어층 TB2, 제2 반강자성체층 AF2가 적층된 구성을 갖고 있다.

이러한 구성에서, 제1 및 제2 반강자성체층 AF1 및 AF2의 단자 TA 및 TB 사이에 전압 V_s 를 인가한 경우, 제1 및 제2 터널 배리어층 TB1 및 TB2에는 $V_s/2$ 씩의 전압이 걸리게 된다.

한편, 단일 자기 터널 접합의 경우에는 전압 V_s 가 터널 배리어 박막에 걸리게 되지만, 자기 터널 저항의 변화율은 인가 전압이 물수록 작아지기 때문에, 2층 자기 터널 접합쪽이 자기 터널 저항의 변화율이 커지고, 도 29에 도시한 바와 같이, 단일 자기 터널 접합과 2층 자기 터널 접합에서 특성에 차가 생기게 된다.

<8-3. 작동 효과>

이상 설명한 바와 같이, 본 발명에 따른 실시예 2의 MRAM에 따르면, MRAM 셀 어레이 NCA의 비트선 및 웨이드선의 양단부에 열 판독/기입 제1 제어 회로 CR01 및 열 판독/기입 제2 제어 회로 CR02를 구비하고, 각각에 있어서, 비트선과 전압 V_{ss} 를 접속하는 제1 MOS 트랜지스터(MN11, MN21, MN13, MN23), 비트선과 전압 V_s 를 접속하는 제2 MOS 트랜지스터(MN12, MN22, MN14, MN24)를 갖고 있기 때문에, NMOS 트랜지스터를 전환함으로써 선택 비트선에 흐르는 전류의 방향을 변경할 수 있고, MTJ를 구성하는 소프트 강자성체층의 소핀 방향을 임의로 변경할 수 있다. 또, NMOS 트랜지스터 MN11 및 MN12, MN21 및 MN22, MN13 및 MN14, MN23 및 MN24는 비트선의 양단부의 접속점을 전압 V_s 로 전환할 수 있기 때문에, 전환 수단으로 호칭할 수 있다.

또한, 열 판독/기입 제1 제어 회로 CR01의 살기 제1 MOS 트랜지스터는 감지 증폭기를 포함하는 멀티플렉서 MUX에 접속되어 있기 때문에, 데이터의 판독 시 감지 전류에 기인하는 전압을 멀티플렉서 MUX로 출력할 수 있다.

<8-4. 변형 예 1>

본 발명에 따른 실시예 2의 변형 예 1로서, 도 31에 MRAM(200)을 나타낸다. 또, MRAM(200)은 도 27를 이용하여 설명한 MRAM(100)과 거의 마찬가지의 구성을 갖고 있고, 다른 것은 MRAM(100)에서의 NMOS 트랜지스터 MN11, MN13, MN21, MN23, QN11 및 QN21 대신에 PMOS 트랜지스터 MP11, MP13, MP21, MP23, OP11 및 OP21을 설치하며, 또한, PMOS 트랜지스터 MP11 및 NMOS 트랜지스터 MN12의 게이트 전극에 NAND 게이트 ND11의 출력을 제공하고, PMOS 트랜지스터 MP21 및 NMOS 트랜지스터 MN22의 게이트 전극에 NAND 게이트 ND12의 출력을 제공하며, PMOS 트랜지스터 MP13 및 NMOS 트랜지스터 MN14의 게이트 전극에 NAND 게이트 ND13의 출력을 제공하고, PMOS 트랜지스터 MP23 및 NMOS 트랜지스터 MN24의 게이트 전극에 NAND 게이트

2002-0065323

ND14의 출력을 제공하여 게이트 입력을 공통화하고 있는 점이다.

도 27에 도시한 MRAM(100)에서는 NMOS 트랜지스터 MN11, MN13의, MN21 및 MN23의 게이트에는 온 상태에서 $V_{GS} = V_{DD}$ 의 전압이 인가되기 때문에, 게이트 전압에 V_{DD} 밖에 걸리지 않은 NMOS 트랜지스터 MN12, MN14, MN22 및 MN24에 비해 게이트 절연막에 걸리는 부담이 커짐 가능성이 있었다.

그러나, 도 31에 도시한 MRAM(200)에서는 PMOS 트랜지스터 MP11, MP13, MP21 및 MP23을 채용함으로써, 게이트에 V_{DD} 이상의 전압을 인가하지 않기 때문에, 게이트 절연막에 걸리는 부담은 줄어든다.

또한, PMOS 트랜지스터 MP11, MP13, MP21 및 MP23을 채용함으로써, NMOS 트랜지스터 MN12, MN14, MN22 및 MN24와 게이트 입력의 공통화를 도모할 수 있고, PMOS 트랜지스터 MP11 및 NMOS 트랜지스터 MN12, PMOS 트랜지스터 MP21 및 NMOS 트랜지스터 MN22, PMOS 트랜지스터 MP13 및 NMOS 트랜지스터 MN14, PMOS 트랜지스터 MP23 및 NMOS 트랜지스터 MN24는 인버터(드라이버, 버퍼)를 형성하며, MRAM(100)에 비해 소비 전력을 저감할 수 있다.

도 32는 판독 및 기입 시의 MRAM(200)에서의 각종 전류 및 전압의 타이밍차트이다.

MRAM(200)에서는 PMOS 트랜지스터 MP11, MP13과, NMOS 트랜지스터 MN12, MN14 각각의 게이트 입력을 공통화하고 있기 때문에, 게이트 전압 V_{GS} 및 V_{DS} 의 타이밍차트가 동일해지고, 또한 게이트 전압 V_{GS} 및 V_{DS} 의 타이밍차트가 동일해진다.

또한, PMOS 트랜지스터 OP11과 NMOS 트랜지스터 QN12의 게이트 입력을 공통화(PMOS 트랜지스터 OP21과 NMOS 트랜지스터 QN22의 게이트 입력도 마찬가지임)하고 있기 때문에, 게이트 전압 V_{GS} 및 V_{DS} 의 타이밍차트가 동일해지지만, 기본적인 동작은 MRAM(100)과 동일하다.

또, 본 예에서는 전압 V_{GS} -소스 전압 V_{SS} , 전압 V_{GS} -드레인 전압 V_{DD} 을 상정하고 있다. 즉, MJT의 특성이 도 29에 도시한 것과 동일한 경우에는, 드레인 전압 V_{DD} 는 각 MRAM 셀의 pn 접합ダイオード에 인가되는 전압에 0.1V를 더한 값에 거의 동일하게 설정된다.

또한, 도 32에는 도시하지 않지만, MRAM(100, 200)의 판독/기입 제어 회로는 인접하는 MRAM 셀 어레이와 공유해도 좋다. 이 경우, 공유한 만큼 풍차 면적을 축소하는 효과를 발휘한다.

<B-5. 변형 예 2>

본 발명에 따른 실시예 2의 변형 예 2로서 도 33에 MRAM(300)을 도시한다. 또, MRAM(300)은 도 31을 이용하여 설명한 MRAM(200)과 거의 마찬가지의 구성을 갖고 있고, 다른 것은 PMOS 트랜지스터 MP11 및 NMOS 트랜지스터 MN12, PMOS 트랜지스터 MP13 및 NMOS 트랜지스터 MN14, PMOS 트랜지스터 MP21 및 NMOS 트랜지스터 MN22, PMOS 트랜지스터 MP23 및 NMOS 트랜지스터 MN24 각각의 드레인 전극 사이에 NMOS 트랜지스터 MN15, MN16, MN25, MN26를 삽입한 절과, PMOS 트랜지스터 OP11 및 NMOS 트랜지스터 QN12, PMOS 트랜지스터 OP21 및 NMOS 트랜지스터 QN22 각각의 드레인 전극 사이에 NMOS 트랜지스터 QN1 및 QN2를 삽입한 절이다.

또, NMOS 트랜지스터 MN15, MN16, MN25, MN26, QN1 및 QN2의 게이트 전압은 직류 전압 V_{GS} 로 고정된다.

이를 NMOS 트랜지스터의 목적은 누설 전류의 저감이다. 즉, MOSFET의 누설 전류는 드레인 단에서의 고전 계에 기인하는 BTBT(Band to band tunneling), TAT(Trap Assisted Tunneling), 임팩트 미온화(Impact Ionization)나 SPH(Schockley-Read-Hall process)가 그 원인이다.

누설 전류를 저감하기 위해서는 드레인 단의 전계를 저감하면 좋고, 예를 들면 PMOS 트랜지스터 MP11 및 NMOS 트랜지스터 MN12의 드레인 전극 사이에 NMOS 트랜지스터 MN15를 삽입하고, NMOS 트랜지스터 MN15의 게이트 전압을 소정의 직류 전압(여기서는 전압 V_{GS})으로 설정함으로써, NMOS 트랜지스터 MN12 및 MN15에 제공되는 드레인 전압을 저감할 수 있다.

예를 들면, 전압 V_{GS} 를 $V_{GS}/2+V_{DS}$ (NMOS 트랜지스터 MN15의 임계치 전압)으로 설정하고, NMOS 트랜지스터 MN15를 항상 온 상태로 하도록 제공한다. 그렇게 하면, NMOS 트랜지스터 MN12가 온 상태로 된 경우, NMOS 트랜지스터 MN15와 더불어 두개의 저항이 직렬로 접속된 상태가 되며, 저항 분할에 의해 NMOS 트랜지스터 MN12 및 MN15에 기해지는 스트레스 전압(드레인 전압 V_{DD})이 동일해지기 때문에, MN12 및 MN15의 토탈 누설 전류는 NMOS 트랜지스터 MN15를 삽입하지 않은 경우, 즉 NMOS 트랜지스터 MN12만의 경우의 누설 전류에 대폭 저감할 수 있고, 소비 전력을 저감할 수 있다.

또, 전압 V_{GS} 를 $V_{GS}/2+V_{DS}$ 으로 한 것은 미 설정에 의해 NMOS 트랜지스터 MN12 및 MN15에 기해지는 스트레스 전압이 동일하게 최소가 된다는 지경에 기초하는 것이지만, 실시예 있어서는 소비 전력이 저감되는 것임을, 이 전압에 한정되는 것은 아니다.

이상의 효과는 NMOS 트랜지스터 MN16, MN25 및 MN26에서도 마찬가지이다.

또한, PMOS 트랜지스터 OP11 및 NMOS 트랜지스터 QN12, PMOS 트랜지스터 OP21 및 NMOS 트랜지스터 QN2 각각의 드레인 전극 사이에 삽입한 NMOS 트랜지스터 QN1 및 QN2에 대해서도 누설 전류를 대폭 저감할 수 있고, 소비 전력을 저감할 수 있다.

또한, 이상의 설명에서는 데이터의 기입 시 MRAM 셀 어레이의 비트선에는 양 방향의 전류가 흐르고, 워드 선에는 한 방향의 전류가 흐른다고 상정하였지만, 비트선에 한 방향의 전류가 흐르고, 워드선에 양 방향의 전류가 흐르도록 해도 좋다.

또한, MRAM 셀의 pn 접합ダイオード, MOSFET이나 TFT(Thin Film Transistor)나 바이폴라 트랜지스터 등의 온/오프 특성을 갖는 소자를 이용해도 좋다.

2002-0055323

<C. 실시예 3>

<본 실시예의 특징>

본 발명의 실시예 3에 따른 NRAM은 NRAM 셀 어레이의 워드선 혹은 비트선을 복수의 서브 워드선 혹은 서브 비트선으로 분할하는 것을 특징으로 한다.

즉, 배선의 저항률을 ρ , 배선의 길이를 l , 배선의 단면적을 S 로 하면, 배선 저항 R 은 다음 수학식 9로 제공된다.

$$R = \rho \frac{l}{S}$$

또한, 배선에 흐르는 전류를 I 로 하면, 소비 전력 P 는 다음 수학식 10으로 제공된다.

$$P = RI^2 = \rho \frac{I^2 l}{S}$$

따라서, 배선의 길이 l 을 줄여 하면, 소비 전력이 저감되는 것을 알 수 있다. 예를 들면, 배선을 2분할 하면, 소비 전력은 2분의 1이 되고, n 분할(단, n 은 2 이상의 정수)하면, 소비 전력은 n 분의 1이 되어 NRAM에서 기입 시의 소비 전력을 저감할 수 있다.

또한, 동일한 워드선에 접속되어 있는 메모리 셀의 개수가 증가되면, 누하 용량이 증가된다. 그 결과, 워드선을 전송하는 신호의 지연 시간이 증가되고, 고속 액세스를 할 수 없는 결점이 생긴다.

그러나, 워드선을 복수의 서브 워드선으로 분할하여 배선의 길이를 줄여 함으로써, 동일한 배선에 접속되는 메모리 셀의 개수가 감소되거나 때문에, 누하 용량이 저감된다. 그 결과, 워드선을 분할하지 않은 평모드 장치에 비해 지연 시간을 줄여 할 수 있으며, 고속 액세스를 실현할 수 있다. 이것은 비트선에서도 마찬가지이다. 이하, 본 발명의 실시예 3에 따른 NRAM의 구체적인 구성에 대하여 설명한다.

<C-1. 워드선의 분할>

<C-1-1. 장치 구성>

도 34는 워드선을 분할한 NRAM(400)의 구성을 블록도로 나타낸다. 도 34에 도시한 바와 같이 NRAM(400)은 복수의 NRAM 셀 어레이(66)를 갖고 있다.

각 NRAM 셀 어레이(66)는 복수의 워드선(64)의 제1 단부에 접속된 행 판독/기입 제1 제어 회로 RRW1 및 제2 단부에 접속된 행 판독/기입 제2 제어 회로 RRW2와, 복수의 비트선(69)의 제1 단부에 접속된 열 판독/기입 제1 제어 회로 CRW1 및 제2 단부에 접속된 열 판독/기입 제2 제어 회로 CRW2를 갖고 있다.

또, 상기 각 제어 회로는 실시예 2에서 설명한 NRAM(100~300)과 마찬가지로 하며 동일한 부호를 붙이고 있지만, 이들에 한정되는 것은 아니다.

그리고, 각 NRAM 셀 어레이(66)에 대응하여 도시하지 않은 열 디코더에 접속되는 메모리 셀 어레이 선택선(70)이 복수 배치되어 있다.

또한, 행 디코더를 구성하는 복수의 AND 게이트(62)의 출력에 각각 메인 워드선(67)이 접속되어 있다. 또, 메인 워드선(67)의 개수는 각 NRAM 셀 어레이(66)의 워드선 개수에 일치한다.

복수의 메모리 셀 어레이 선택선(70)과 복수의 메인 워드선(67)과의 교차부에는 메모리 셀 어레이 선택선(70) 및 메인 워드선(67)을 입력으로 하는 2입력의 AND 게이트(61)가 각각 접속되고, 그 출력이 행 판독/기입 제1 제어 회로 RRW1을 통해 서브 워드선(64)에 접속되어 있다. 이 서브 워드선(64)이 각 NRAM 셀 어레이(66)의 워드선이 된다.

<C-1-2. 장치 동작>

이하, NRAM(400)의 동작에 대하여 설명한다.

예를 들면, 메모리 셀 어레이 선택선(70) 하나와 메인 워드선(67) 하나가 활성화되면, 활성화된 메모리 셀 어레이 선택선(70) 및 메인 워드선(67)에 접속되는 AND 게이트(61)가 그 출력에 접속된 서브 워드선(64)을 활성화한다.

이 경우, 활성화된 메인 워드선(67)은 NRAM 셀에는 직접적으로 접속되지 않기 때문에, 그 용량에는 NRAM 셀 어레이(66)를 구성하는 NRAM 셀의 용량이 포함되지 않는다. 따라서, 복수의 NRAM 셀 어레이에 걸치는 1개의 워드선에 의해 NRAM 셀을 선택하는 구성에 비해 워드선에 포함되는 용량이 대폭 저감된다.

또한, 하나의 NRAM 셀 어레이(66)를 가로지르 만큼의 서브 워드선(64)은 용량 및 저항에 기인하는 지연(CR, 지연)을 무시할 수 있을 정도로 짧게 구성함으로써, NRAM(400)은 특정한 NRAM 셀을 선택하는 시간을 본질적으로 저감할 수 있으며, NRAM의 동작 속도를 향상시킬 수 있다.

여기서 NRAM 셀의 용량 C_s 는 이하의 수학식 11로 나타낸 바와 같이, MTJ의 용량 C_{MTJ} 과 p_n 접합 다이오드의 접합 용량 C_p 를 직렬로 접속한 용량이 된다.

이 경우, NRAM 셀 용량 C_s 는 이하의 수학식 11로 나타낸 바와 같이, MTJ의 용량 C_{MTJ} 과 p_n 접합 다이오드의 접합 용량 C_p 를 직렬로 접속한 용량이 된다.

2002-0065323

$$\frac{1}{C_M} = \frac{1}{C_{MRAM}} + \frac{1}{C_o}$$

도 34에 도시한 MRAM(400)에서는 선택된 MRAM 셀 어레이(65) 중 서브 워드선(64)에 접속되어 있는 MRAM도 34에 도시한 MRAM(400)에서는 선택된 MRAM 셀 어레이(65) 중 서브 워드선(64)과 비트선(69) 사이를 흐르는 전류는 워드선을 복합하지 않은 구성에 비해 MRAM 셀 어레이의 개수에 비례하여 감소하고, 소비 전력을 저감할 수 있다.

또, MRAM(400)에서는 서브 워드선(64)을 제어하는 논리 게이트로서 AND 게이트를 이용하고 있지만, AND 게이트에 한정되는 것이 아니라, 예를 들면, NAND 게이트, NOR 게이트, XOR 게이트 등의 다른 논리 게이트를 이용해도 메모리 셀 어레이 선택선(70) 및 메인 워드선(67)의 *High* 혹은 *Low*를 나타내는 폴리와, 그 역의 논리(*Low* 혹은 *High*)를 조합하여 상기 논리 게이트에 입력항으로써, MRAM(400)과 마찬가지의 효과를 발휘한다. 여기서, 논리의 *High* 및 *Low*는 각 신호 전압의 높은 값 혹은 낮은 값 중 어느 하나에 상응한다.

<C-2. 워드선의 계층화>

<C-2-1. 장치 구성>

도 35는 워드선을 계층화한 MRAM(500)의 구성을 볼록도로 나타낸다. 도 35에 도시한 바와 같이 MRAM(500)은 n개의 MRAM 셀 어레이(85)를 구비하여 구성되는 n개의 메모리 셀 어레이군(861~86n)을 포함하고 있다.

메모리 셀 어레이군(861)을 예로 들면, 각 MRAM 셀 어레이(85)는 복수의 워드선(83)의 제1 단부에 접속된 제1 단부에 접속된 행 판독/기입 제1 제어 회로 RRW1 및 제2 단부에 접속된 행 판독/기입 제2 제어 회로 RRW2와, 복수의 비트선(89)의 제1 단부에 접속된 열 판독/기입 제1 제어 회로 CRW1 및 제2 단부에 접속된 열 판독/기입 제2 제어 회로 CRW2를 갖고 있다.

그리고, 각 MRAM 셀 어레이(85)에 대응하여, 도시하지 않은 열 디코더에 접속되는 n개의 메모리 셀 어레이 선택선(911~91n)이 배치되어 있다.

또한, 복수의 AND 게이트(서브 글로벌 디코더: 81)의 출력에 각각 메인 워드선(84)이 접속되어 있다. 또, 메인 워드선(84)의 개수는 각 MRAM 셀 어레이(65)의 워드선의 개수에 일치한다.

메모리 셀 어레이 선택선(911~91n)과 복수의 메인 워드선(84)과의 교차부에는 메모리 셀 어레이 선택선(911~91n) 중 어느 하나와 메인 워드선(84)의 하나를 입력으로 하는 2입력의 AND 게이트(로컬 행 디코더: 82)가 각각 접속되고, 그 출력이 행 판독/기입 제1 제어 회로 RRW1을 통해 서브 워드선(83)에 접속되어 있다. 이 서브 워드선(83)이 각 MRAM 셀 어레이(85)의 워드선이 된다.

또한, 복수의 서브 글로벌 디코더(81)의 제1 입력 전체는 메모리 셀 어레이군(861)에 대응하여 배치된 메모리 셀 어레이군 선택선(901)에 공통으로 접속되어 있다.

그리고, 복수의 서브 글로벌 디코더(81)의 제2 입력 각각은 복수의 AND 게이트(메인 글로벌 디코더: 80)의 출력에 접속되는 글로벌 워드선(87)을 통해, 메인 글로벌 디코더(80)의 출력에 접속되어 있다.

메모리 셀 어레이군 선택선(901~90n)은 글로벌 워드선(87)과는 다른 배선이며, 양자는 교차하도록 배치되어 있다.

또, 다른 메모리 셀 어레이군도 메모리 셀 어레이군(861)과 동일한 구성을 갖고, 각각 복수의 서브 글로벌 디코더(81)에 접속되며, 각각의 복수의 서브 글로벌 디코더(81)도 메모리 셀 어레이군 선택선에 접속되어 있다.

즉, 메모리 셀 어레이군(861~86n) 각각에 대응하여 메모리 셀 어레이군 선택선(901~90n)이 배치되고, 메모리 셀 어레이군(861~86n)에 각각 접속되는 복수의 서브 글로벌 디코더(81)의 제2 입력은 각각 글로벌 워드선(87)을 통해 복수의 메인 글로벌 디코더(80)의 출력에 접속되어 있다.

또, 복수의 메인 글로벌 디코더(80)는 어드레스 신호선군(88)에 접속되어 있다.

<C-2-2. 장치 동작>

이하, MRAM(500)의 동작에 대하여 설명한다.

메모리 셀 어레이군(861~86n)은 메모리 셀 어레이군 선택선(901~90n)에 의해 어느 하나가 선택되고, 메모리 셀 어레이군(861~86n) 내의 복수의 MRAM 셀 어레이(85)는 메모리 셀 어레이 선택선(911~91n)에 의해 선택된다.

메모리 셀 어레이군(861~86n)의 동작은 도 34를 이용하여 설명한 MRAM(400)과 마찬가지이고, 예를 들면, 메모리 셀 어레이 선택선(911)과 메인 워드선(84)의 하나가 활성화되면, 활성화된 메모리 셀 어레이 선택선(911)과 메인 워드선(84)에 접속되는 AND 게이트(82)가 그 출력에 접속된 서브 워드선(83)을 활성화한다.

이 경우, 활성화된 메인 워드선(84)의 용량에는 MRAM 셀 어레이(85)를 구성하는 MRAM 셀의 용량이 포함되지 않기 때문에, 복수의 MRAM 셀 어레이에 걸친 1개의 워드선에 의해 MRAM 셀을 선택하고 있는 증래의 MRAM에 비해 워드선에 포함되는 용량이 대폭 저감된다.

또한, 예를 들면, 메모리 셀 어레이군 선택선(901)과 글로벌 워드선(87)의 하나가 활성화되면, 활성화된 메모리 셀 어레이군 선택선(901)과 글로벌 워드선(87)에 접속되는 AND 게이트(81)가 그 출력에 접속된 메인 워드선(84)을 활성화한다.

2002-0065323

이 경우, 활성화된 글로벌 워드선(87)의 용량에는 메모리 셀 어레이(85)의 용량이 포함되지 않기 때문에, 복수의 메모리 셀 어레이에 걸치는 1개의 워드선에 의해 MRAM 셀을 선택하는 구성에 비해 워드선에 포함되는 용량이 대폭 저감된다.

따라서, 워드선(83)과 비트선(88) 사이를 흐르는 전류는 워드선을 계층화하지 않은 증거의 MRAM에 비해 MRAM 셀 어레이의 개수에 비례하여 감소할 뿐만 아니라, 메모리 셀 어레이에 걸친 개수의 역수에 비례하여 감소되며, 소비 전력을 저감할 수 있다.

<C-2-3. 워드선이 계층화된 MRAM의 전체 구성>

도 36에 워드선이 계층화된 MRAM의 전체 구성의 일례를 나타낸다. 도 36에서는 4개의 MRAM 셀 어레이(851~854)를 구비하여 구성되는 4개의 메모리 셀 어레이(861~864)를 포함한 MRAM을 나타내고 있고, 4개의 메모리 셀 어레이(861~864) 각각에 대응하여 4개의 메모리 셀 어레이(901~904)이 걸쳐되어 있다. 또한, 각 메모리 셀 어레이에 걸친 4개의 MRAM 셀 어레이(851~854)에 대응하여 4개의 메모리 셀 어레이 선택선(911~914)이 배치되어 있다.

또, 도 36에서는 MRAM 셀 어레이(85) 들의 각 구성은 단순한 블록으로 나타내고, 글로벌 워드선(87) 등의 각 배선 경로를 화살표로 모식적으로 나타내고 있다. 도 36에서 소위 워드선이 계층화되어 있는 것을 알 수 있다.

<C-3. 비트선의 본질>

<C-3-1. 장치 구성>

도 37은 비트선을 분할한 MRAM(600)의 구성을 블록도로 나타낸다. 도 37에 도시한 바와 같이 MRAM(600)은 복수의 MRAM 셀 어레이(166)를 갖고 있다.

각 MRAM 셀 어레이(166)는 복수의 워드선(160)의 제1 단부에 접속된 행 판독/기입 제1 제어 회로 RRU1 및 제2 단부에 접속된 행 판독/기입 제2 제어 회로 RRU2와, 복수의 비트선(164)의 제1 단부에 접속된 열 판독/기입 제1 제어 회로 CRU1 및 제2 단부에 접속된 열 판독/기입 제2 제어 회로 CRU2를 갖고 있다.

또, 상기 제어 회로는 실시예 2에서 설명한 MRAM(100~300)과 마찬가지로 하여 동일한 부호를 붙이고 있지만, 미들에 한정되는 것은 아니다.

그리고, 각 MRAM 셀 어레이(166)에 대응하여 도시하지 않은 행 디코더에 접속되는 메모리 셀 어레이 선택선(170)이 복수 배치되어 있다.

또한, 각 디코더를 구성하는 복수의 AND 게이트(162)의 출력에 각각 메인 비트선(167)이 접속되어 있다. 또, 메인 비트선(167)의 개수는 각 MRAM 셀 어레이(166)의 비트선의 개수에 일치한다.

복수의 메모리 셀 어레이(166)와 복수의 메인 비트선(167)과의 교차부에는 메모리 셀 어레이 선택선(170) 및 메인 비트선(167)을 입력으로 하는 2입력의 NAND 게이트(161)가 각각 접속되고, 그 출력이 열 판독/기입 제1 제어 회로 CRU1을 통해 서브 비트선(164)에 접속되어 있다. 이 서브 비트선(164)이 각 MRAM 셀 어레이(166)의 비트선이 된다.

<C-3-2. 장치 동작>

이하, MRAM(600)의 동작에 대하여 설명한다.

예를 들면, 메모리 셀 어레이 선택선(170)의 하나와 메인 비트선(167)의 하나가 활성화되면, 활성화된 메모리 셀 어레이 선택선(170) 및 메인 비트선(167)에 접속되는 NAND 게이트(161)가 그 출력에 접속된 서브 비트선(164)을 활성화한다.

이 경우, 활성화된 메인 비트선(167)은 MRAM 셀에는 직접적으로 접속되지 않기 때문에, 그 용량에는 MRAM 셀 어레이(166)를 구성하는 MRAM 셀의 용량이 포함되지 않는다. 따라서, 복수의 MRAM 셀 어레이에 걸친 1개의 비트선에 의해 MRAM 셀을 선택하는 구성에 비해 비트선에 포함되는 용량이 대폭 저감된다.

또한, 하나의 MRAM 셀 어레이(166)를 가로지르 만큼의 서브 비트선(164)은 용량 및 저항에 기인하는 지연(CR 지연)을 무시할 수 있을 정도로 짧게 할 수 있기 때문에, MRAM(600)은 특정한 MRAM 셀을 선택하는 시간을 본질적으로 저감할 수 있으며, MRAM의 동작 속도를 향상시킬 수 있다.

또래 셀의 용량에 대해서는 수학식 11을 이용하여 설명하고 있기 때문에 증복되는 설명은 생략하지만, 도 37에 도시한 MRAM(600)에서는 선택된 서브 셀 어레이(166) 중 서브 비트선(164)에 접속되어 있는 MRAM 셀만 액세스되기 때문에, 서브 비트선(164)과 워드선(169) 사이에 흐르는 전류는 비트선을 분할하지 않은 구성에 비해 MRAM 셀 어레이의 개수의 역수에 비례하여 감소하고, 소비 전력을 저감할 수 있다.

또, MRAM(600)에서는 서브 비트선(164)을 제어하는 논리 게이트로서 NAND 게이트를 이용하고 있지만, NAND 게이트에 한정되는 것이 아니라, 예를 들면 AND 게이트, NOR 게이트, XOR 게이트 등의 다른 논리 게이트를 이용해도 메모리 셀 어레이 선택선(170) 및 메인 비트선(167)의 「High」 혹은 「Low」를 나타내는 논리와, 그 역의 논리(「Low」혹은 「High」)를 조합하여 상기 논리 게이트에 입력으로써, MRAM(600)과 마찬가지의 효과를 달취한다. 여기서, 논리의 「High」 및 「Low」는 각 신호 전압의 높은 값 혹은 낮은 값 중 어느 하나에 상등한다.

<C-4. 비트선의 계층화>

<C-4-1. 장치 구성>

도 38은 비트선을 계층화한 MRAM(700)의 구성을 블록도로 나타낸다. 도 38에 도시한 바와 같이 MRAM(700)은 2개의 MRAM 셀 어레이(165)를 구비하여 구성되는 2개의 메모리 셀 어레이군(1861~186n)을 포함하고 있다.

2002-0065323

메모리 셀 어레이이군(1861)을 예로 들면, 각 MRAM 셀 어레이(185)는 복수의 워드선(189)의 제1 단부에 접속된 행 판독/기입 제1 제어 회로 RRA1 및 제2 단부에 접속된 행 판독/기입 제2 제어 회로 RRA2와, 복수의 비트선(183)의 제1 단부에 접속된 열 판독/기입 제1 제어 회로 CRA1 및 제2 단부에 접속된 열 판독/기입 제2 제어 회로 CRA2를 갖고 있다.

그리고, 각 MRAM 셀 어레이(185)에 대응하여, 도시하지 않은 행 디코더에 접속되는 끝의 메모리 셀 어레이 선택선(1911~191n)이 빼치되어 있다.

또한, 복수의 AND 게이트(서브 글로벌 디코더: 181)의 출력에 각각 메인 비트선(184)이 접속되어 있다. 또, 메인 비트선(184)의 개수는 각 MRAM 셀 어레이(185)의 비트선의 개수에 일치한다.

메모리 셀 어레이 선택선(1911~191n)과 복수의 메인 비트선(184)과의 교차부에는 메모리 셀 어레이 선택선(1911~191n) 중 어느 하나와 메인 비트선(184)의 하나를 일련으로 하는 2인력의 AND 게이트(로컬 디코더: 182)가 각각 접속되고, 그 출력이 열 판독/기입 제1 제어 회로 CRA1을 통해 서브 비트선(183)에 접속되어 있다. 이 서브 비트선(183)이 각 MRAM 셀 어레이(185)의 워드선이 된다.

또한, 복수의 서브 글로벌 디코더(181)의 제1 입력 전부는 메모리 셀 어레이군(1861)에 대응하여 배치된 메모리 셀 어레이군 선택선(1901)에 공통으로 접속되어 있다.

그리고, 복수의 서브 글로벌 디코더(181)의 제2 입력 각각은 복수의 AND 게이트(메인 글로벌 디코더: 180)의 출력에 접속되는 글로벌 비트선(187)을 통해, 메인 글로벌 디코더(180)의 출력에 접속되어 있다.

메모리 셀 어레이군 선택선(1901~190n)은 글로벌 비트선(187)과는 다른 배선이고, 양자는 교차되도록 빼치되어 있다.

또, 다른 메모리 셀 어레이군도 메모리 셀 어레이군(1861)과 동일한 구성을 갖고, 각각 복수의 서브 글로벌 디코더(181)에 접속되어, 각각의 복수의 서브 글로벌 디코더(181)도 메모리 셀 어레이군 선택선에 접속되어 있다.

즉, 메모리 셀 어레이군(1861~186n) 각각에 대응하여 메모리 셀 어레이군 선택선(1901~190n)이 배치되고, 메모리 셀 어레이군(1861~186n)에 각각 접속되는 복수의 서브 글로벌 디코더(181)의 제2 입력은 각각 글로벌 비트선(187)을 통해, 복수의 메인 글로벌 디코더(180)의 출력에 접속되어 있다.

또, 복수의 메인 글로벌 디코더(180)는 어드레스 신호선군(188)에 접속되어 있다.

<C-4-2. 장치 동작>

이하, NRAM(700)의 동작에 대하여 설명한다.

메모리 셀 어레이군(1861~186n)은 메모리 셀 어레이군 선택선(1901~190n)에 의해 어느 하나가 선택되고, 메모리 셀 어레이군(1861~186n) 내의 복수의 MRAM 셀 어레이(185)는 메모리 셀 어레이 선택선(1911~191n)에 의해 선택된다.

메모리 셀 어레이군(1861~186n)의 동작은 도 37을 미용하여 설명한 MRAM(600)과 마찬가지이고, 예를 들면, 메모리 셀 어레이 선택선(1911)과 메인 비트선(184)의 하나가 활성화되면, 활성화된 메모리 셀 어레이 선택선(1911)과 메인 비트선(184)에 접속되는 AND 게이트(182)가 그 출력에 접속된 서브 비트선(183)을 활성화한다.

이 경우, 활성화된 메인 비트선(184)의 용량에는 MRAM 셀 어레이(185)를 구성하는 MRAM 셀의 용량이 포함되지 않기 때문에, 복수의 MRAM 셀 어레이에 걸치는 1개의 비트선에 의해 NRAM을 비해 비트선에 포함되는 용량이 대폭 저감된다.

또한, 예를 들면, 메모리 셀 어레이군 선택선(1901)과 글로벌 비트선(187)의 하나가 활성화되면, 활성화된 메모리 셀 어레이군 선택선(1901)과 글로벌 비트선(187)에 접속되는 AND 게이트(181)가 그 출력에 접속된 메인 비트선(184)을 활성화한다.

이 경우, 활성화된 글로벌 비트선(187)의 용량에는 메모리 셀 어레이군(1861~186n)을 구성하는 MRAM 셀 어레이(185)의 용량이 포함되지 않기 때문에, 복수의 메모리 셀 어레이군에 걸치는 1개의 비트선에 의해 MRAM 셀을 선택하는 구성에 비해 비트선에 포함되는 용량이 대폭 저감된다.

마라서, 비트선(183)과 워드선(189) 사이를 흐르는 전류는 비트선을 계층화하지 않은 종래의 MRAM에 비해 MRAM 셀 어레이 개수의 역수에 비례하여 감소하는 것뿐만 아니라, 메모리 셀 어레이군 개수의 역수에 비례하여 감소하고, 소비 전력을 저감할 수 있다.

또, 이상 설명한 실시예 3에서 워드선 및 비트선 각각에 대하여 분할 및 계층화한 예에 대하여 설명했지만, 이를 조합하여 워드선 및 비트선의 양방을 분할한 구성, 혹은 워드선 및 비트선의 양방을 계층화한 구성으로 해도 좋다. 이러한 구성을 채용함으로써, 소비 전력의 저감 및 MRAM의 동작 속도를 더욱 향상시킬 수 있다.

<D. 실시예 4>

<본 실시예의 특징>

본 발명의 실시예 4에 따른 MRAM은 인터너에서 발생한 자계를 이용하여, 복수의 MRAM 셀의 기억 데이터를 일괄 소거 혹은 일괄 기입하는 것을 특징으로 한다.

<D-1. 장치 구성>

도 39는 본 발명의 실시예 4에 따른 MRAM(800)의 구성을 나타내는 사시도이다. 도 39에서, 상호 평행하게 배치된 워드선(1, 2, 3) 상부에서 교차하도록 비트선(4, 5, 6)이 상호 평행하게 빼치되고, 워드선 및

2002-0065323

비트선 사이에 끼워지는 각 교점에 MRAM 셀 MC가 형성되어 MRAM 셀 어레이 MCA1을 구성하고 있다. MRAM 셀 MC의 구성은 도 1을 이용하여 설명하며, 종복되는 설명은 생략하지만, MRAM 셀 MC를 구성하는 소프트 강자성체층의 미지 액시스의 방향은 화살표로 표시한 바와 같이 각 워드선의 연장 방향이다.

그리고, MRAM 셀 어레이 MCA1을 클러스터도록 코일형의 인더터 10과 배치되어 있다. 인더터 10은 금속 배선을 코일형으로 접속하여 구성되며, 워드선(1~3)이 연장되는 방향을 따라 감겨져 있다.

그리고, 인더터 10의 양 단부는 전류를 양 방향으로 흘릴 수 있는 인더터 구동 회로(도시하지 않음)에 접속되어 있고, 인더터 10의 후면은 전류의 방향을 바꿈으로써, 인더터 10을 물리적인 영역에 발생하는 자계의 방향을 변경할 수 있는 구성을 되어 있다. 또, 인더터 10에 의해 발생하는 자계는 워드선(1~3)이 연장되는 방향, 즉, MRAM 셀 MC를 구성하는 소프트 강자성체층의 미지 액시스의 방향에 거의 일치하고 있다.

따라서, MRAM 셀 어레이 MCA1의 복수의 MRAM 셀 MC에 대하여, 데미터의 일괄 소거, 혹은, 일괄 기입을 행하는 경우에는 인더터 구동 회로로부터 인더터 10로 소정 방향으로 전류를 흘리고, 발생하는 자계에 의해 소프트 강자성체층의 스픬 방향을 일제히 변경할 수 있다.

또, 도 39에서는 설명의 편의상, 3행 3열의 메모리 셀 어레이가 도시되어 있지만, 행과 열의 사이즈는 이에 한정되는 것은 아니다.

또한, 인더터 10, 워드선(1~3), 비트선(4~6) 등의 각 도체선 사이는 기체, 혹은, 고체의 절연체가 배치되어 있지만, 도 39에서는 편의적으로 표시를 생략하고 있다.

또한, 도 39에서는, 설명의 편의상, 인더터 10의 코일의 피치는 MRAM 셀 어레이 MCA1의 피치보다 크게 나타내고 있지만, 이에 한정되는 것은 아니다.

또한, MRAM 셀 MC의 구성에 특별히 한정은 없고, 예를 들면 도 30를 이용하여 설명한 2줄 자기 터널 접합을 갖는 구성이라도 좋고, 적어도 하나의 자기 터널 접합을 갖고 있으면 좋다. 예를 들면, 적어도 하나의 자기 터널 접합과 정자기 결합으로 자속을 투파하고, 자성체/비자성체/자성체 구조를 구비한 메모리 셀이라도 좋다.

또한, 인더터는 소프트 강자성체층의 미지 액시스의 방향에 일치하는 자계를 발생할 수 있는 것이면 코일형이 아니어도 좋다.

여기서, 도 39에서의 A-4선에서의 단면도인 도 40~도 42를 이용하여 MRAM(800)의 동작에 대하여 설명한다. 또, 인더터 10의 코일 피치는, 설명의 편의상, 도 39와는 다른 피치로 나타내고 있다.

도 40은 일괄 소거 전의 상태의 일례를 나타내고 있다. 도 40에 도시한 바와 같이 MRAM 셀 MC는 PN 접합 다이오드 PN의 상부에 자기 터널 접합(NTJ)이 배치된 구성을 갖고 있다. 그리고 비트선(5) 하부의 MRAM 셀 MC를 구성하는 소프트 강자성체층(22)의 스픬 방향은 도면을 향하여 좌측을 향하고 있고, 다른 MRAM 셀 MC의 스픬 방향은 우측을 향하고 있다. 그리고, 일괄 소거 동작 및 일괄 기입 동작을 하지 않은 상태, 즉, 인더터 10가 대기인 상태에서는 인더터 10은 절지되어 있다. 이에 따라, 외부의 노미즈를 차단하여 MRAM 셀 어레이 MCA1을 보호하는 효과를 발휘한다.

도 41은 일괄 소거 상태의 일례를 나타내고 있다. 일괄 소거 신호가 인더터 구동 회로에 입력되면, 인더터 10에 제1 방향의 전류가 흐르고, 화살표로 나타낸 바와 같이 음속 방향의 자계가 발생한다. 이 때, 인더터 10의 피치가 충분 수록 인더터 내부의 자계가 외부로 누설되는 경우가 적어져 효율적으로 자계를 발생할 수 있다.

여기서, 소거를 나타내는 스픬 방향을 도 41 중 우측 방향으로 하면, 인더터 내부에 발생한 우측 방향의 자계에 의해 모든 MRAM 셀 MC의 소프트 강자성체층(22)의 스픬이 동시에 우측을 향하고, 데미터가 일괄 소거된다.

도 42는 일괄 기입 상태의 일례를 나타내고 있다. 일괄 기입 신호가 인더터 구동 회로에 입력되면, 인더터 10에 제2 방향과는 반대의 제2 방향으로 전류가 흐르고, 화살표로 나타낸 바와 같이 좌측 방향의 자계가 발생한다.

여기서, 기입을 나타내는 스픬 방향을 도 42 중 좌측 방향으로 하면, 인더터 내부에 발생한 좌측 방향의 자계에 의해 모든 MRAM 셀 MC의 소프트 강자성체층(22)의 스픬이 동시에 좌측을 향하고, 데미터가 일괄하여 기입된다.

<0-2. 작용 효과>

복수의 MRAM 셀의 기억 데미터를 일괄 소거 혹은 동일한 데미터를 일괄하여 기입하는 경우, 워드선과 비트선에서 차례대로 어드레스를 선택하여 기억 데미터를 소거 혹은 기입하는 방법에서는 시간이 걸리고, 또한, 소비 전력도 크다.

한편, 본 실시예에 의한 MRAM에서는 복수의 MRAM 셀의 데미터를 일괄 소거 혹은 일괄 기입할 수 있기 때문에, 단시간에 처리할 수 있으며, 또한, 인더터 10에 의해 효율적으로 자계를 발생시키기 때문에, 소비 전력도 적다.

<0-3. 변형예>

복수의 MRAM 셀의 기억 데미터를 일괄 소거 혹은 일괄 기입하기 위해서는 인더터 이외의 구성을 채용할 수도 있다.

도 43은 본 실시예 4의 변형예로서 MRAM(900)의 평면 구성을 나타낸다. 또, 도 43에서는, 설명의 편의상, 4행 4열의 MRAM 셀 어레이 MCA2를 나타내고 있지만, 행과 열의 사이즈는 이것에 한정되는 것은 아

2002-0065323

니다.

도 43에 도시한 바와 같이, MRAM 셀 어레이 MCA2의 상하에 데이터의 일괄 처리를 위한 플래시 비트선 FBL 및 플래시 워드선 FWL을 배치하고 있다.

플래시 비트선 FBL 및 플래시 워드선 FWL은 각각 복수의 비트선 BL1 및 워드선 WL1이 배열된 영역에 대응하여 설치되고, 도 43에서는 어느 쪽도 평면에서 둔 형상이 구형으로 되어 있다.

도 43에서는 워드선 WL1의 상부에서 비트선 BL1이 교차하는 구성으로 되어 있고, 워드선 WL1 및 비트선 BL1의 교차부의 양선 사이에 MRAM 셀 MC가 배치되어 있다.

그리고, 플래시 워드선 FWL은 워드선 WL1의 하부에, 플래시 비트선 FBL은 비트선 BL1의 상부에 배치되어 있다. 또, 도 43에서는 최상부의 플래시 비트선 FBL을 편의적으로, 부분적으로 삭제하여 나온내고 있다.

도 43에서의 A-A선 및 B-B선에서의 단면 구성을 도 44 및 도 45에 각각 나타낸다.

도 45에 도시한 바와 같이 MRAM 셀 MC는 pn 접합 다이오드 PN의 상부에 자기 터널 접합(MTJ)이 배치된 구성을 갖고 있다.

이와 같이, MRAM 셀 어레이 MCA2의 상하에 플래시 비트선 FBL 및 플래시 워드선 FWL을 배치하고, 일괄 소거 혹은 일괄 기입에서는 플래시 비트선 FBL 및 플래시 워드선 FWL에 소정 방향의 전류를 흐림으로써, 모든 MRAM 셀 MC의 소프트 강자성체층의 스팬을 동시에 동일한 방향을 향하게 함으로써 일괄 소거 혹은 일괄 기입을 실현할 수 있다.

또, 플래시 비트선 FBL 및 플래시 워드선 FWL에서 일괄 소거 혹은 일괄 기입을 위해 흘리는 전류의 방향은, MRAM 셀 MC에, 개개별 데이터의 소거 혹은 기입을 행할 때 비트선 BL 및 워드선 WL에 흘리는 전류의 방향과 동일하게 하면 좋다.

또, 플래시 비트선 FBL 및 플래시 워드선 FWL은 양쪽 모두 구비해도 좋고, 한쪽만을 구비해도 좋다. 즉, 발생하는 자계는 전류의 크기에 비례하기 때문에, 전류를 많이 흘리면, 한쪽만이라도 스팬의 반전은 가능하다.

또, 플래시 비트선 FBL 및 플래시 워드선 FWL의 양방을 이용하여, 양선에 의해 동일한 크기의 자계를 발생시키는 쪽이 스팬을 반전시키는데 필요한 전류의 총합을 작게 할 수 있다.

또한, 일괄 소거 동작 및 일괄 기입 동작을 하지 않은 상태, 즉 플래시 비트선 FBL 및 플래시 워드선 FWL의 대기 시에는 플래시 비트선 FBL 및 플래시 워드선 FWL을 절지함으로써, 외부의 자계나 전계에 기인하는 노이즈를 차폐하여 MRAM 셀 어레이 MCA2를 보호하는 효과를 발휘한다.

또, 이상 설명한 MRAM(900)에서는 MRAM 셀 어레이 MCA2를 하나 갖는 구성을 나타냈지만, MRAM 셀 어레이를 복수 갖는 구성을에서도 적용 가능하다. 상기 구성을 MRAM(900A)로서 도 46에 도시한다.

도 46에 도시한 바와 같이, MRAM(900A)에서는 복수의 MRAM 셀 어레이 MCA2가 매트릭스형으로 배치되어 있고, 각각 셀 어레이 MCA2의 배열에 대응하도록, MRAM 셀 어레이 MCA2의 배열의 상하에 데이터의 일괄 처리를 위한 글로벌 플래시 비트선 GBL 및 글로벌 플래시 워드선 GWL을 매트릭스형으로 배치하고 있다.

글로벌 플래시 비트선 GBL 및 글로벌 플래시 워드선 GWL은 도 43에 도시한 플래시 비트선 FBL 및 플래시 워드선 FWL과 동일한 기능을 갖고, 설명은 생략하지만, 복수의 MRAM 셀 어레이 MCA2에 공통으로 사용되기 때문에 영향을 변경하고 있다.

또, 이상 설명한 플래시 비트선 FBL 및 플래시 워드선 FWL, 글로벌 플래시 비트선 GBL 및 글로벌 플래시 워드선 GWL의 제1 회로는 도 27, 도 31, 도 33에서 설명한 행 판독/기입 제1 회로 RRW1, 행 판독/기입 제2 회로 RRW2, 및 열 판독/기입 제1 회로 CRW1, 열 판독/기입 제2 회로 CRW2를 사용해도 좋다.

또한, 도 46에 도시한 MRAM(900A)과 같이, 복수의 MRAM 셀 어레이 MCA2를 갖는 구성을에서는 일괄 소거 혹은 일괄 기입의 대상이 되는 MRAM 셀 어레이 MCA2가 동일한 열 및 행을 가진 행에서의 비선택의 MRAM 셀 어레이 MCA2에서도 전류가 흐를 가능성이 있기 때문에, 소비 전류를 저감할 목적으로, 도 34~도 38를 이용하여 설명한 분할된 워드선, 분할된 비트선, 계층화된 워드선, 계층화된 비트선의 기술적 사상을 글로벌 플래시 비트선 GBL 및 글로벌 플래시 워드선 GWL에 적용해도 좋다.

<E. 실시예 5>

<본 실시예의 특징>

본 발명의 실시예 5에 따른 MRAM은 인덕터와 캐패시터의 LC 공진을 이용하여 전류를 리사이클하고, 적어도 1회 이상의 기억 데이터의 재기록에 이용하는 것을 특징으로 한다.

<E-1. 장치 구성>

도 47은 본 발명의 실시예 5에 따른 MRAM(1000)의 평면 구성을 나타내는 도면이다. 도 47에서 MRAM 셀 어레이 MCA3의 복수의 비트선 BL1의 제1 단부에 멀티클럭서 MUX1이 접속되고, 제2 단부에 멀티클럭서 MUX2가 접속되어 있다. 또한, 복수의 워드선 WL1의 제1 단부에는 드레인 전극 V_D가 제공되고, 복수의 워드선 WL1 각각의 제2 단부에는 NMOS 트랜지스터 QM1이 접속되어 있다.

또한, 멀티클럭서 MUX2는 2개의 비트선 BL1에 대하여 하나의 인덕터 ID1이 접속되도록 구성되어 있고, 결합적으로 멀티클럭서 MUX2에는 복수의 비트선 BL1의 출수의 절반에 상당하는 개수의 인덕터 ID1이 접속되

2002-0065323

어 있다.

또, 비트선 BL1 및 워드선 WL1에는 도 26을 이용하여 설명한 열 디코더나 행 디코더, 및 제어 회로가 접속되어 있지만, 이들은 본 실시예와의 관련이 적고, 또한 설명의 간략화를 위해 도시 및 설명은 생략한다.

<E-2. 장치 동작>

다음으로, MRAM(1000)의 동작에 대하여 설명한다. 또, 이하에서는 편의적으로 비트선 BL1a 및 BL1b의 부호를 뽑아 구별하는 경우도 있다.

우선, 선택 어드레스를 포함하는 워드선 WL1a에 선택되고, 상기 선택 워드선 WL1a에 직류 전류 I_o가 흐른다.

다음으로, 선택 어드레스를 포함하는 비트선 BL1a를 멀티플렉서 MUX1에 의해 선택되고, 상기 선택 비트선 BL1a를 경유하여 기입 전류 I_o가 멀티플렉서 MUX2에 유입된다. 이 경우, 멀티플렉서 MUX2에 의해, 선택 비트선 BL1a에 접속되는 인덕터 ID1이 선택되고, 기입 전류 I_o의 에너지가 인덕터 ID1에 풍부에 저장으로서 보존된다.

상기 인덕터 ID1에 접속되는 다른 한쪽의 비트선 BL1a를 멀티플렉서 MUX2에 의해 선택해 두면, 인덕터 ID1을 흐른 기입 전류 I_o가 상기 선택 비트선 BL1a에 흐르고, 전류 I_o로서 재미용할 수 있다.

이 전류 I_o는 멀티플렉서 MUX1을 경유하여 비어 있는 캐퍼시터 CP1에 전하로서 저장되며, 다시 멀티플렉서 MUX1 및 MUX2를 적절하게 접속함으로써 원리적으로 몇 번이라도 기입을 할 수 있다.

또, 복수의 NMOS 트랜지스터 QM1은 캐퍼시터 CP1로의 전하의 축적 및, 캐퍼시터 CP1로부터의 전하의 방출 타이밍에 맞춰 온·오프 제어되고, 또한, 복수의 NMOS 트랜지스터 QN1은 워드선 WL1a에 직류 전류 I_o를 흘리는 타이밍에 맞춰 온·오프 제어된다.

<E-3. 작용 효과>

이상 설명한 바와 같이, 비트선 BL1a에서의 기입 전류를 인덕터 ID1 및 캐퍼시터 CP1의 LC 공진을 이용하여 리사이클함으로써, 기입 시의 소비 전력을 저감할 수 있다.

<E-4. 변형 예>

본 실시예의 변형예로서, 도 48은 MRAM(1100)의 평면 구성을 나타낸다. MRAM(1100)에서는 도 47에 도시한 MRAM(1000)의 구성 외에, MRAM 셀 어레이 MCA3의 복수의 워드선 WL1의 제1 단부에 멀티플렉서 MUX3이 접속되고, 제2 단부에 멀티플렉서 MUX4가 접속되어 있다.

또한, 멀티플렉서 MUX3에는 복수의 워드선 WL1의 개수에 대응하여 설치된 복수의 NMOS 트랜지스터 QN1이 접속되고, 각 NMOS 트랜지스터 QM1의 소스 전극에는 캐퍼시터 CP2가 접속되어 있다.

또한, 멀티플렉서 MUX4는 2개의 워드선 WL1에 대하여 하나의 인덕터 ID2가 접속되도록 구성되어 있고, 결과적으로 멀티플렉서 MUX4에는 복수의 비트선 WL1의 충수의 절반에 상당하는 개수의 인덕터 ID2가 접속되어 있다.

이러한 구성의 MRAM(1100)에서는 비트선 BL1에서의 기입 전류뿐만 아니라, 워드선 WL1에서의 기입 전류를 인덕터 ID2 및 캐퍼시터 CP2의 LC 공진을 이용하여 리사이클할 수 있고, 기입 전류의 소비에 기인하는 소비 전력을 또한 저감할 수 있다.

또, 인덕터 ID2 및 캐퍼시터 CP2의 LC 공진에 의한 기입 전류의 리사이클 흐름은 인덕터 ID1 및 캐퍼시터 CP1의 LC 공진에 의한 기입 전류의 리사이클 흐름과 마찬가지이기 때문에 설명은 생략한다.

또한, 인덕터 ID1 및 캐퍼시터 CP1, 인덕터 ID2 및 캐퍼시터 CP2에서 소비되는 전류에 대해서는 멀티플렉서 MUX1~MUX4에 설치된 일반적인 전류 경향형 보상 회로에 의해 보상된다.

또, 인덕터 ID1 및 ID2로서는, 예를 들면, 배선을 스파이럴 형으로 감겨져 형성된 스파이럴 인덕터를 이용하면 좋다.

도 47 및 도 48에 도시한 구성은 일례이고, LC 공진을 이용하여 기입 전류의 리사이클을 도모할 수 있는 것이면 상기 구성에 한정되는 것은 아니다.

<F. 실시예 6>

<본 실시예의 특징>

본 발명의 실시예 5에 따른 자성체 기판은 사전에 주면 상에 자기 터널 접합(MTJ)이 되는 다층막이 형성되어 있는 것을 특징으로 한다.

<F-1. 기판 구조>

도 49는 본 발명의 실시예 5에 따른 자성체 기판의 단면 구성을 나타낸다. 도 49에서, 실리콘 기판 SF의 주면 전면에 실리콘 산화막 혹은 실리콘 질화막 등의 철연막 IL1이 배치되고, 그 위에 후에 워드선 혹은 비트선이 되는 도체층 BL1이 배치되어 있다.

도체층 BL1의 상부에는 비교적 고농도의 n형 불순물을 갖는 n형 실리콘층 SF1 및 비교적 고농도의 p형 불순물을 갖는 p형 실리콘층 SF2가 적층되어 있다. 이 2층은 후에 pn 접합 다이오드가 된다.

그리고, p형 실리콘층 SF2의 상부에는 후에 텅스텐 스터드가 되는 텅스텐층 STD가 형성되고, 텅스텐층

2002-0065323

STO 상에는 후에 MTJ가 되는 다층막이 배치되어 있다.

즉, 아래로부터 순서대로 백금(Pt)으로 구성되는 텁클릿층 TPL, Ni_xFe_y의 퍼밀로이로 구성되는 초기 강자성체층 IFL(약 두께 4nm), Ni_xFe_y으로 구성되는 반 자성체층 AFL(약 두께 10nm), CoFe 혹은 Ni_xFe_y의 퍼밀로이로 구성되는 강자성체층 FFL(약 두께 8nm), Al_xO_y으로 구성되는 터널 배리어층 TBL, 약 두께 2nm의 CoFe와 약 두께 20nm의 Ni_xFe_y의 다층막으로 구성되는 소프트 강자성체층 FML, Pt로 구성되는 컨택트층 M을 구비하고 있다.

또한, 컨택트층 CL의 상부에는 후에 워드선 혹은 비트선이 되는 도체층 WL2가 배치되고, 최상부에는 금속층의 산화 방지막으로서 젤연막 IL2가 배치되어 있다.

이러한 자성체 기판을 판매하면, 사용자는 포토레지스트 마스크를 이용하여, 예를 들면 아르곤 이온 밀링으로 패터닝함으로써, 예를 들면 도 39에 도시한 바와 같은 MRAM 셀 어레이가 형성할 수 있다.

<F-2. 작용 효과>

이와 같이, 주면 상에 사전에 pn 접합 다이오드 및 MTJ가 되는 다층막이 형성된 자성체 기판을 기판 메모리가 판매하고, 사용자는 상기 자성체 기판을 이용함으로써, 단순한 실리콘 기판을 준비하고, 그 주면 상에 다층막을 형성하는 경우에 비해 제조 공정을 생략할 수 있어 제조 비용을 감소할 수 있다.

<F-3. 변형예>

도 50은 SOI(Silicon On Insulator) 기판의 주면 상에 사전에 pn 접합 다이오드 및 MTJ가 되는 다층막이 형성된 자성체 기판을 나타낸다.

도 50에서는 실리콘 기판 SB 상에 매립 산화막 BX가 배치되고, 매립 산화막 BX 상에 SOI층 SI가 배치되어 있다. 그리고, SOI층 SI 상에는 도 49에 도시한 것과 동일한 다층막이 배치되어 있다.

도 31 및 도 33을 이용하여 설명한 바와 같이, MRAM에는 MOSFET이 필요하다. 그리고, SOI층 상에 MOSFET을 형성하면 기생 용량을 저감할 수 있기 때문에, MOSFET의 동작 속도를 빠르게 하여, 결과적으로는 MRAM의 동작 속도도 빠르게 할 수 있다.

또, 이상 설명한 실시예 60에서는 자기 터널 접합이 되는 다층막이 벌크 실리콘 기판이나 SOI 기판 상에 피력된 구성을 나타내고, 그것을 자성체 기판으로 후천하였지만, 자기 터널 접합이 되는 다층막(박막 자성체의 다층막)은 유리 기판이나 수지 기판 상에 피력해도 좋고, 토대가 되는 기판의 종류는 반도체 기판에 한정되지 않는다.

따라서, 본 발명에서는 어떠한 기판을 토대로서 박막 자성체의 다층막을 피력한 구성을 박막 자성체 기판으로 호칭하고 있다.

<G. 실시예 ?>

<본 실시예의 특징>

본 발명의 실시예 7에 따른 MRAM은 기판의 주면 상에 형성된 각종 기능 블록 상에 형성되어 있는 것을 특징으로 한다.

<G-1. 장치 구성>

우선, 본 실시예와의 차이를 설명하기 위해, 도 51에 종래의 일반적인 반도체 기억 장치의 구성을 볼록도로 나타낸다.

도 51에서, 메모리 셀 어레이(31)의 주변 회로로서 열 어드레스 버퍼(31), 열 디코더(32), 열 판독/기입 제어 회로(33), 행 어드레스 버퍼(34), 행 디코더(35) 및 행 판독/기입 제어 회로(36)가 메모리 셀 어레이(31) 주위에 배치되어 있다.

또한, 그 밖의 기능 블록으로서 장치 외부와의 신호의 승수신을 행하는 입출력 버퍼(I/O 버퍼), 및 상기 신호가 규격치보다 크거나(Undershoot) 한 경우에 규격치로 복귀하는 ESD(Electric Static Discharge) 회로(44), 변조되어 있는 신호를 복조하거나, 신호를 변조하는 기능을 갖는 변조/복조 회로(Modulator/Demodulator: 43), 디지털 신호를 처리하는 기능을 갖는 DSP(Digital Signal Processing: 42), 메모리 셀 어레이(31)와 주변 회로 사이의 데이터 수수의 증가(일시적으로 데이터를 보유하거나, 주변 회로와 메모리 셀 어레이(31)의 데이터 수수의 증가를 취하는 등)를 행하는 제1 캐쉬(51) 및 제2 캐쉬(52), 메모리 셀 어레이(31)의 데이터 입출력을 제어하는 입출력 컨트롤러(I/O 컨트롤러(53)), 데이터의 연산 처리를 행하는 CPU(Micro processor: 41)를 구비하고 있다.

종래의 반도체 기억 장치, 예를 들면 DRAM, SRAM 및 EEPROM 등에서는 메모리 셀 어레이에 MOSFET을 포함하기 위해, 반도체 기판의 주면 상에 형성될 필요가 있고, 결과적으로, 메모리 셀 어레이가 각 기능 블록과 동일한 반도체 기판의 주면 표면 상에 형성되어 있었다.

여기서, 도 52는 본 발명의 실시예 7에 따른 MRAM(1200)의 구성을 볼록도로 나타낸다.

도 52에서 MRAM 셀 어레이 MCA는 MRAM 셀 어레이 MCA의 주변 회로, 즉, 열 어드레스 버퍼 CAB, 열 디코더 CD, 열 판독/기입 제어 회로 CRW, 행 어드레스 버퍼 RAB, 행 디코더 RD 및 행 판독/기입 제어 회로 RRW의 배치 영역의 상부에 오버랩되어 배치되어 있다.

또, 주변 회로의 구성을, 예를 들면 도 26을 이용하여 설명한 구성을 마찬가지이고, 또한 그 밖의 기능 블록에 대해서는 종래의 반도체 기억 장치와 마찬가지이기 때문에 설명은 생략한다.

<G-2. 작용 효과>

특 2002-0065323

MRAM 셀 어레이 MCA는, 도 28, 도 31 및 도 33를 이용하여 설명한 바와 같이, 그 내부에 MOSFET을 포함하지 않고, 반도체 소자로서는 pn 접합 다이오드만을 포함하기 때문에, 혼성 영역이 기판의 주면 표면에 한정되는 것은 아니다.

따라서, MRAM 셀 어레이 MCA 미외의 구성, 즉 MRAM 셀 어레이 MCA의 주변 회로를 포함시켜 각종 기능 블록은 기판의 주면 표면 상에 형성하고, MRAM 셀 어레이 MCA는 그 상층에 형성함으로써 장치 면적을 줄일 수 있다.

<G-3. 변형 예>

도 53은 본 실시예의 변형예로서 MRAM(1300)의 구성을 복록도로 나타낸다.

도 53에 도시한 바와 같이 MRAM(1300)에서는 MRAM 셀 어레이 MCA가 주변 회로 및 각종 기능 블록이 형성된 영역의 상부 전체에 오버랩되어 배치되어 있다.

이와 같이, MRAM 셀 어레이 MCA와, 주변 회로 및 각종 기능 블록을 별개의 틈에 형성함으로써, MRAM 셀 어레이 MCA의 배치 위치나 크기의 선택 자유도가 증가되게 되고, 장치 면적을 줄일 수 있음과 함께, 장치 레이아웃의 선택 정도 높일 수 있다.

<4. 실시예 6>

<본 실시예의 특징>

본 발명의 실시예 6에 따른 MRAM은 MRAM 셀 어레이와, MRAM 셀 어레이의 주변 회로 및 각종 기능 블록을 별개의 반도체 칩으로 하고, 양 칩을 모듈로서 하나의 패키지에 수납한 MCP(Multi Chip Package)의 형태를 채용하는 것을 특점으로 한다.

<서론>

MRAM 셀 어레이의 주변 회로 및 각종 기능 블록의 제조 시의 최대 혼성 온도는 1000~1200°C 정도이고, 한편, MRAM 셀 어레이의 제조 시의 최대 혼성 온도는 퀴리 온도로 결정되어 400~700°C 정도이다.

양자를 동일한 반도체 기판 상에 형성하는 경우, 혼성 온도의 차이에 의한 문제점을 방지하기 위해, 최대 혼성 온도가 400~700°C 정도인 배선 공정에서 MRAM 셀 어레이를 형성하고 있다.

그 때문에, MRAM의 제조 공정에서는 공정이 연속하여 일어나면서 제조 비용이 드는 문제가 있었다.

한편, 요즈음에는 하나의 패키지에 복수의 반도체 칩을 수납한 MCP 구조가 사용되고 있다. 이러한 현상을 감안하여, 발명자 등은 MRAM 셀 어레이와, MRAM 셀 어레이의 주변 회로 및 각종 기능 블록을 별개의 반도체 칩으로 하고, 양 칩을 모듈로서 하나의 패키지에 수납한 구성의 MRAM이면 상기 문제는 해결의 결론에 도달하였지만, 현실적으로 MCP 구조의 MRAM을 얻기 위해서는 종래의 패키지 구조로서는 MRAM에 대응할 수 없다고 하는 인식에 이르렀다.

이하, MCP 구조의 MRAM을 실현하기 위한 과제를 설명한 후에, 실시예 6에 따른 MRAM(2000)의 구성에 대하여 설명한다.

<4-1. 종래의 MCP 구조에 대하여>

반도체 장치를 포함하는 반도체 칩의 실장 방법으로서, 종래, QFP(Quad Flat Package)가 이용되고 있었지만, 실장 면적이 크다고 하는 문제점이 있었다. 그래서, 흰 면적과 거의 동일한 크기의 실장 면적인 CSP(Chip Size Package)가 최근 사용되기 시작하고 있다. 이 실장 방법은 QFP에 비해 훨씬 작은 실장 면적이기 때문에, 휴대 전화용 LSIL PC(Personal Computer)용 DRAM 등에 이용되고 있다.

도 54는 종래의 CSP의 구성의 일례를 단면도로 나타낸다. 도 54에서, 반도체 칩(122)은 박스형의 패키지(129)의 내부에 수납되고, 반도체 칩(122)의 아래 주면은 패시베이션막(123)에 의해 피복되어 외부 환경으로부터 보호되어 있다.

패시베이션막(123)은 점화실리콘막이나 산질화실리콘막 등의 절연막으로 구성되고, 패시베이션막(123)에 있는 복수의 개구부가 설치되어, 반도체 칩(122)의 입출력 단자가 되는 흰 전극(132)이 패시베이션막(123)을 관통하는 구성으로 되어 있다.

패키지(129)는 바닥이 있고, 덮개가 없는 박스형을 이루고, 그 개구부로부터 반도체 칩(122)이 삽입된다. 여기서, 패키지(129)의 개구부는 최종적으로는 저면 기판(134)에 의해 피복된다. 상기 저면 기판(134)의 본체는 플리아이미드 수지 등의 혼합 재료로 구성되며, 그 외측에 면한 주면에는 복수의 차폐용 땜납 범프(125) 및 신호 전송용 땜납 범프(127)가 배치되어 있다.

저면 기판(134)은 차폐용 땜납 범프(125) 및 신호 전송용 땜납 범프(127)를 내부의 구성에 전기적으로 접속하는 복수의 내부 배선(130, 131)을 갖고 있다.

내부 배선(130, 131)은 모두 저면 기판(134)의 내측을 항한 주면 상에 배치된 캐리어 필름(124)에 접속되어 있다. 후에 설명하는 바와 같이, 캐리어 필름(124)은 흰 면적을 상에 배치된 전기 배선(파드를 포함함)과 접착층(133)을 갖고 있다. 신호 전송용 땜납 범프(127)로부터의 전기 신호는 내부 배선(130) 및 캐리어 필름(124)의 파드에 접속되어 있는 흰 전극(132)을 통해 반도체 칩(122)에 전달된다. 또한, 접착층(133)은 캐리어 필름(124)과 반도체 칩(122)을 접착한다. 또, 도 54에는 도시하고 있지 않지만, 캐리어 필름(124)은 저면 기판(134)과도 다른 접착층에 의해 접착되어 있다.

또한, 저면 기판(134)의 내부에는 도체로 구성되는 차폐 전극(126)이 배립되어 있다. 차폐 전극(126)의 평면에서 본 혼성을 직사각 틱형을 이루고, 내부 배선(130)이 차폐 전극(126)에 접촉하지 않고서 통과할 수 있는 개구부를 갖는 구조로 되어 있다. 도 54는 차폐 전극(126)의 개구부를 철단하는 위치에 서의 단면도이고, 상기 개구부는 파선으로 나타내고 있다.

图 2002-0065323

차폐 전극(126)은 차폐용 땜납 범프(125) 및 내부 배선(131)을 통해 전원 전위 혹은 점지 전위로 고정되고, 내부 배선(130)이 외부의 전기 노이즈를 잡는 것을 방지할 수 있다.

또한, 반도체 험(122)을 둘러싸도록 캐리어 플름(124) 위 주면 상에 차폐 전극(126b)이 배치되어 있다. 차폐 전극(126b)은 평면에서 본 형상이 직사각 유향형의 평판이고, 캐리어 플름(124) 상의 전기 배선을 통해 내부 배선(131)에 전기적으로 접속되며 전원 전위 혹은 점지 전위로 고정된다.

차폐 전극(126b)을 피복하도록 응력 완화막(135)은 반도체 험(122)과 저면 기판(134) 사이의 응력을 완화하는 기능을 한다.

응력 완화막(135)은 단면 형상을 본래는 구형이지만, 반도체 험(122)의 옛지부와 캐리어 플름(124) 사이에 끼워져 변형될과 함께 부분적으로 두께가 얇아진다. 즉, 반도체 험(122)의 옛지부와 캐리어 플름(124) 사이에 끼워진 부분에 응력이 집중되지만, 두께가 얇아짐으로써 응력이 완화된다.

응력 완화막(135)에는, 예를 들면 열가소성 탄성 증합체가 이용된다. 열가소성 탄성 증합체는 상온에서 고무 탄성을 나타내지만, 고온에서는 가소화되어 각종 성형 가공을 할 수 있는 고분자 재료이다.

또한, 반도체 험(122)과 응력 완화막(135)과의 접착재로는 애폭시 수지 등이 사용된다. 열가소성 탄성 증합체의 체적 팽창률은 약 2.7×10^{-6} 인 데 반하여, 실리콘의 체적 팽창률은 약 3.1×10^{-6} 이고, 체적 팽창률의 차가 작기 때문에, 응력을 완화할 수 있다.

반도체 패키지에서, 단자 수의 증대와 패키지의 소형화를 양립시키기 위해서는 내부 배선이 길어지고, 또한, 가늘어지며, 노이즈를 잡기 쉬워지는 문제점이 있기 때문에, 차폐 전극(126)과 차폐용 땜납 범프(125)가 배치되어 있다. 또한, 반도체 험(122)과 저면 기판(134) 사이의 열 용력이 커지고, 전기적 접속의 신뢰성이 저하되는 것을 방지하기 위해 응력 완화막(135)이 배치되어 있다.

차폐 전극(126)의 기능은 상술한 바와 같고, 차폐 전극(126)은 내부 배선(131)을 통해 차폐용 땜납 범프(125)에 접속되어 있다. 그리고, 차폐용 땜납 범프(125)는 신호 전송용 땜납 범프(127)의 주위를 둘러싸도록 배치되며, 신호 전송용 땜납 범프(127)를 통해 내부 배선(130)이 외부의 전기적 노이즈를 잡는 것을 방지하는 기능을 갖고 있다. 또, 도시는 생략하지만, 차폐용 땜납 범프(125) 및 신호 전송용 땜납 범프(127)는 배선이 프린트된 마더 보드에 접속된다.

또한, 종래 세대 구조는 QFP에서만 실현되었다. 도 55는 QFP를 이용한 MRAM 구조의 단면 구성을 나타낸다. 도 55에서는 하나의 패키지(107) 내에 3개의 반도체 험(102a, 102b, 102c)이 증첩되어 배치되고, 수지(106)로 밀봉되어 있다.

일례로서, 반도체 험(102a, 102c)이 SRAM, 반도체 험(102b)이 플래시 EEPROM이다.

각 반도체 험 사이는 내부 배선(109)에 의해 접속되고, 외부와의 전기적 접속은 분당 와이어(112)를 통해 외부 리드선(113)에 의해 이루어진다.

이러한 구성으로 함으로써, 하나의 패키지에 하나의 반도체 험밖에 갖지 못하는 것보다 동일 절유 면적에 대하여 보다 많은 메모리 용량을 담을 수 있다. 그렇기 때문에, 혁대 절보 단말에 대하여 수요가 많다.

그러나, MRAM은 험 면적에 비해 실질 면적이 커지고, 또한, 외부 리드선이 노이즈를 잡기 쉽다고 하는 문제점이 있었다.

이와 같이 CSP로 해도 QFP로 해도 일정일정이 있고, 또한, MRAM에서는 외부 자계의 영향으로 소프트 강자성체용의 스핀이 반전되는 것을 방지할 필요가 생기기 때문에, 종래의 패키지 구성을 그대로 채용할 수는 없다.

4H-2. 장치 구성

이하, 도 56~도 65를 이용하여 실시예 8에 따른 MRAM(2000)의 구성에 대하여 설명한다.

도 56은 MRAM(2000)의 단면 구조를, 또한 도 57은 MRAM(2000)을 하부측에서 본 평면 구조를 나타낸다. 또, 도 56은 도 57에서의 A-A선에서의 단면을 나타내고 있다.

도 56에 도시한 바와 같이, MRAM 셀 어레이의 주변 회로 및 각종 기능 블록을 포함하는 반도체 험(122)은 퍼멀로이(Ni_xFe_y) 등의 고투자율의 도체로 구성되는 박스형의 차폐체 SHB에 수납되어 있다.

차폐체 SHB의 재료로서, 예를 들면 MRAM 매모리 셀에 이용되는 소프트 강자성체와 등등하거나, 그보다 큰 투자율을 갖는 강자성체로서 퍼멀로이 외에 스팴들로이(supermalloy)(Mo-Ni_xFe_y)를 이용해도 좋다. 보자력이 큰 강자성체는 영구 자석으로서 기능하고, 주변의 전기 기기에 영향을 줄 가능성을 있기 때문에, 보자력이 작은 강자성체가 바람직하다. 퍼멀로이이나 스팬들로이, Mn₂Zn₉ 등의 페라이트는 이 조건을 충족시키는 재료이다.

차폐체 SHB의 내벽면에는 열가소성 탄성 증합체로 구성되는 응력 완화막(235)이 배치되어 있다. 응력 완화막(235)은 반도체 험(122)과 차폐체 SHB와의 응력을 완화하는 기능을 한다.

차폐체 SHB는 그 본체부가 되는 통형의 외부 프레임부(237)와, 외부 프레임부(237)의 한쪽 단을 피복하는 상부판(238)과, 외부 프레임부(237)의 다른쪽 단을 피복하는 하부판(236)을 구비하여 구성되며, 응력 완화막(235)은 상부판(238) 및 외부 프레임부(237)의 내면에 배치되어 있다.

또한, 하부판(236)에는 개구부가 설치되고, 상기 개구부를 반도체 험(122)에 접속된 내부 배선(130)이 관통하는 구조로 되어 있다.

패키지(129)는 바닥이 있고 덮개가 없는 박스형을 이루고, 그 개구부로부터 반도체 험(122)을 갖는 차폐체 SHB가 삽입된다.

2002-0065323

패키지(129)는 차폐체 외부를 수납하며, 풍각적인 여유를 갖는 크기이고, 차폐체 SHB와 패키지(129)의 내벽 사이에는 예폭시 수지 등의 수지로 구성되는 수지재(128)가 배치되어 있다.

패키지(129)의 개구부는 최종적으로는 저면 기판(134)에 의해 피복된다. 상기 저면 기판(134)의 본체는 휴리미드 수지 등의 절연재로 구성되어, 그 외측에 면한 주면에는 복수의 차폐용 땜납 범프(125) 및 신호 전송용 땜납 범프(127)가 배치되어 있다. 또, 저면 기판(134)은 캐리어 필름(124)이나 하부판(236) 등에 도포된 접착제에 의해 고정된다.

저면 기판(134)은 차폐용 땜납 범프(125) 및 신호 전송용 땜납 범프(127)를 내부의 구성에 전기적으로 접속하는 복수의 내부 배선(130, 131)을 갖고 있다.

내부 배선(130, 131)은 모두 저면 기판(134)의 내측을 향한 주면 상에 배치된 캐리어 필름(124)에 접속되도록 배치되고, 내부 배선(131)은 캐리어 필름(124) 상에 배치되어 있는 패드 및 전기 배선을 통해 차폐체 SHB의 하부판(236)에 전기적으로 접속되어 있다.

또한, 내부 배선(131)은 저면 기판(134)의 내부에 매립된 도체로 구성되는 차폐 전극(126)에 전기적으로 접속되어 있다. 또, 차폐 전극(126)의 일부는 반드시 내부 배선(130, 131)과 동일 단면 내에 존재하는 것은 아니기 때문에, 도 56에서는 파선으로 나타내고 있다.

또, 차폐 전극(126)은 전원 전위 혹은 접지 전위로 고정되고, 내부 배선(130)이 외부의 전기 노이즈를 잡는 것을 방지하는 기능을 한다.

반도체 힙(122)의 입출력 단자가 되는 힙 전극(132)은 캐리어 필름(124) 상에 설치되어 있는 패드(필름 전극)에 직접적으로 접속되고, 상기 캐리어 필름(124) 상에 패터닝되어 있는 필름 전극 및 전기 배선을 통해 내부 배선(130)에 전기적으로 접속되어 있다. 또, 내부 배선(130)은 신호 전송용 땜납 범프(127)에 접속되어 있다.

신호 전송용 땜납 범프(127)는 외부와 내부의 반도체 힙과의 전기 신호의 수수를 행하기 위한 단자이고, 차폐용 땜납 범프(125)는 차폐체 SHB의 전위를 점지 전위로 고정하는 단자이다.

또한, 도 57에 도시한 바와 같이 차폐용 땜납 범프(125)는 신호 전송용 땜납 범프(127)를 둘러싸도록 배치되어 있다.

또, 신호 전송용 땜납 범프(127) 및 차폐용 땜납 범프(125)는 저면 기판(134)에 가해지는 응력을 부착 기판(마더 보드)으로 분산하는 기능을 갖고 있고, 차폐용 땜납 범프(125)를 설치함으로써, 땜납 범프 1개당 가해지는 응력을 저감할 수 있다.

<4-3. 실장 방법>

다음으로, 도 58~도 62를 이용하여 MRAM(2000)의 실장 방법의 개략에 대하여 설명한다. 또, 도 58~도 62는 MRAM(2000)의 실장 방법을 모식적으로 나타낸 것으로, 도 56에 도시한 구성을 정확하게 나타낸 것은 아니다.

도 58에서 저면 기판(134)의 상부에 캐리어 필름(124)이 접착되고, 캐리어 필름(124) 상에 응력 완화막(223)이 접착되어 있다.

응력 완화막(223)은 직사각 텅형을 이루고, 캐리어 필름(124)에 설치된 필름 전극(219)의 배치 영역을 둘러싸도록 배치되어 있다. 또한, 응력 완화막(223)에는 직사각 텅형의 홈(224)이 형성되어 있고, 홈(224) 내에는 차폐체 SHB의 하부판(236)(도 56)이 배치되어 있다. 또, 홈(224) 내에 하부판(236)이 배치된 구성을 도 64의 (a), 도 64의 (b)에 도시한다.

또한, 도시는 생략하지만, 후의 공정에서 홈(224)을 따라 차폐체 SHB의 외부 프레임부(237)(도 46)가 배치되어, 하부판(236)에 접속된다.

또, 응력 완화막(223)이 직사각 텅형을 이루고 있기 때문에, 도 58에 도시한 X방향 및 Y방향에서 마찬가지로 응력을 완화될 수 있다.

절연체인 캐리어 필름(124) 상에 배치된 필름 전극(219)은 내부 배선(130)을 통해 신호 전송용 땜납 범프(127)에 접속된다.

또, 캐리어 필름(124) 상의 필름 전극(219) 및 내부 배선(130)을 적절하게 패터닝함으로써, 각 범프와 각 힙 전극과의 접속을 일의로 설정할 수 있다.

캐리어 필름(124)에는 필름 전극(219) 외에 접착층(133)이 선택적으로 배치되어 있다. 접착층(133)은 반도체 힙(122)을 캐리어 필름(124)과 접착하기 위한 것이다.

다음으로, 도 59에 도시한 공정에서, 반도체 힙(122)의 각 힙 전극이 캐리어 필름(124)의 각 필름 전극에 접촉하도록 반도체 힙(122)을 탐색하고, 접착층(133)에 의해 반도체 힙(122)을 고정한다.

도 60은 도 59에 도시한 상태의 저면 기판(134)을 역전시킨 상태를 나타내고 있고, 저면 기판(134)에는 반구형의 땜납 범프 형성 구멍(211)이 배치되어 있다. 내부 배선(130, 131)(도 56 참조)은 땜납 범프 형성 구멍(211)의 내벽면에 도달해 있고, 후의 공정에서 땜납 범프 형성 구멍(211) 내용물 땜납 범프를 매립하면, 땜납 범프와 내부 배선(130, 131)이 전기적으로 접속되게 된다. 또, 땜납 범프 대신 도전성 휴리미드를 이용해도 좋다.

도 61은 땜납 범프 형성 구멍(211) 상에 신호 전송용 땜납 범프(127) 및 차폐용 땜납 범프(125)를 배치한 상태를 나타내고 있다.

그리고, 응력 완화막(235)(도 56)을 내부에 갖는 차폐체 SHB에서 반도체 힙(122)을 피복한 후, 바닥이 있고 덮개가 없는 패키지(129)에 삽입하고, 간극에 수지 등의 밀봉제를 주입함으로써, 도 62에 도시한 바와

2002-0065323

같이 이면에 신호 전송용 땜납 범프(127) 및 차폐용 땜납 범프(125)를 갖는 구성을 얻는다.

여기서, 도 63, 도 64의 (a) 및 도 64의 (b)를 이용하여, 차폐체 SHB를 구성하는 하부판(236)과, 용력 완화막(223)의 평면에서 본 형상을 설명한다. 또, 도 63은 도 56에서의 B-B선에서의 개략 단면 구성을 나타내고, 도 64의 (a) 및 도 64의 (b)는 도 63에서의 C-C선 및 D-D선에서의 단면 구성을 나타내고 있다.

도 63에 도시한 바와 같이, 하부판(236)은 중앙에 구형의 개구부 A를 갖는 구형의 평판으로 구성되고, 저면 기판(134)측에는 차폐용 땜납 범프(125)에 전기적으로 접속하는 직사각 틸팅의 차폐 전극(126)(도 56)이 배치된다. 또, 차폐 전극(126)의 외형 치수는 하부판(236)의 외형 치수와 대략 동일하다.

또, 용력 완화막(223)은 차폐체 SHB의 개구부 옆지의 내측 및 외측에 배치되고, 또한 용력 완화막(235) (도 56 참조)이 차폐체 SHB의 내측 전체에 배치되어 있기 때문에, 반도체 험(231)과 반도체 험(232)에 가해지는 외부로부터의 용력을 저감할 수 있다.

<H-4. 작용 효과>

이상 설명한 실시예 8에 따른 MRAM(2000)에 의하면, MRAM 셀 어레이를 포함하는 반도체 험(122)을 외부 자제로부터 차폐하는 차폐체 SHB로 블러싸도록 하였기 때문에, 외부 자제에 의해 MRAM 셀의 스팬이 반전되어 자화 방향, 즉 데이터가 재기입되는 것을 방지할 수 있다.

또한, 용력 완화막(223)이 차폐체 SHB의 개구부 옆지의 내측 및 외측에 배치되고, 차폐체 SHB의 내측에는 용력 완화막(235)이 배치되어 있기 때문에, MRAM (2000)을 부착하는 부착 기판(마더 보드)의 글꼴, 온도 사이클에 기인하는 외부로부터의 용력이 반도체 험(122)에 가해지는 것을 저감할 수 있다.

<H-5. 변형 예 1>

또, 이상 설명한 MRAM (2000)에서는 실장하는 반도체 험은 하나로서 나타냈지만, 도 65에 도시한 MRAM(2100)과 같이, MRAM 셀 어레이의 주변 회로 및 각종 기능 블록이 포함된 반도체 험(122a)(회로 험) 상에 MRAM 셀 어레이를 포함하는 반도체 험(122b)(자기 기역 험)을 장착하는 구조으로 해도 좋다.

반도체 험(122a)은 양 주면에 험 전극을 구비하고, 반도체 험(122a)과 반도체 험(122b)은 양자간에 배치된 캐리어 필름(124b) 상의 필름 전극 및 전기 배선에 의해 접속된다. 또한, 반도체 험(122a)과 반도체 험(122b)은 접착층(133)에 의해 접착 고정하기 때문이다.

또, 반도체 험(122a)과 신호 전송용 땜납 범프(127)와의 전기적인 접속은 도 65에 도시한 반도체 험(122)과 신호 전송용 땜납 범프(127)와의 접속과 동일하고, 캐리어 필름(124)이 캐리어 필름(124a)으로 되어 있는 점 미와는 MRAM(2000)과 기본적으로는 동일하기 때문에 설명은 생략한다.

또한, 반도체 험(122a)과 반도체 험(122b)은 상하 관계를 반대로 배치해도 좋다. 그 경우에는 반도체 험(122b)의 양면에 험 전극을 배치하면 좋다.

또한, 반도체 험(122a)과 반도체 험(122b)과의 조합은 적어도 한쪽의 험에 MRAM 셀 어레이가 배치되어 있으면 좋고, 공자의 반도체 험의 일의 조합이 가능하다.

도 65에 도시한 MRAM(2100)에서는 MRAM 셀 어레이의 주변 회로 및 각종 기능 블록이 포함된 반도체 험(122a)과 MRAM 셀 어레이를 포함하는 반도체 험(122b)을 따로따로 제조하여 조합하기 때문에, 형성 온도의 차이를 고려할 필요가 없고, 개개의 형성 온도를 최적화할 수 있다. 그리고, 반도체 험(122a, 122b)을 따로따로 제조하기 때문에, 제조 공정이 병렬로 진행되어 제조 시간을 단축할 수 있다.

<H-6. 변형 예 2>

도 56에 도시한 MRAM(2000)에서는 차폐체 SHB의 재료로 강자성체를 이용하였지만, 그 대신 Ir(미리듐)을 20~30atom.% 포함하는 Ir_x 등의 반강자성체를 이용해도 마찬가지의 효과를 발휘한다.

또한, 도 66에 도시한 MRAM(2200)과 같이, 차폐체 SHB를 강자성체(136a)와 반강자성체(136b)와의 다층막으로 구성해도 좋다. 그 경우, 저면 기판(134) 중의 차폐 전극(126)도 마찬가지로 강자성체(126a)와 반강자성체(126b)의 다층막으로 한다. 또, 다층막의 성하 관계는 상기에 한정되지 않는다.

설명의 흐름

본 발명에 따른 자기 기역 장치에 따르면, 적어도 하나의 자기 터널 절연막, 소프트 강자성체층의 자화가 등이한 방향인 미지 액시스가, 복수의 비트선 및 복수의 웨이선의 연장 방향에 대하여 40~45°의 각도를 각도로 배치되어 있기 때문에, 적은 기입 전류로 소프트 강자성체층의 자화 방향을 확실하게 반전할 수 있고, 기입 시의 소비 전력을 저감할 수 있다.

본 발명에 따른 자기 기역 장치에 따르면, 자기 터널 절연막의 평면에서 본 형상에서 미지 액시스에 평행한 면이 미지 액시스에 직교하는 면보다 길어지도록 구형으로 구성되어 있기 때문에, 형상에 기인하는 이방성에 의해 미지 액시스를 정하는 것이 용이해지고, 미지 액시스가 변화되는 것을 방지할 수 있다.

본 발명에 따른 자기 기역 장치에 따르면, 제1 및 제2 전환 수단에 의해 비트선의 제1 및 제2 단부를 제1 폭은 제2 전원으로 전환하여 접속할 수 있기 때문에, 비트선에 양 방향의 전류를 흘리는 수 있고, 자기 터널 절연의 자화 방향을 변화시켜 데이터의 기입이나 소거가 가능해진다.

본 발명에 따른 자기 기역 장치에 따르면, 제1 및 제2 전환 수단을 동일 도전형의 제1~제4 MOS 트랜지스터로 구성하기 때문에, 제조가 용이해진다.

본 발명에 따른 자기 기역 장치에 따르면, 제1 전환 수단을 도전형이 다른 제1 및 제2 MOS 트랜지스터로 구성하고, 제2 전환 수단을 도전형이 다른 제3 및 제4 MOS 트랜지스터로 구성하기 때문에, 제1 및 제2 MOS 트랜지스터의 한쪽, 및 제3 및 제4 MOS 트랜지스터의 한쪽의 제어 전극에 온 상태에서 전원 전압 미

2002-0055323

상의 전압을 가할 필요가 없더라고, 게이트 절연막에 걸리는 부담을 작게 할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 제1 및 제2 MOS 트랜지스터의 제1 주전극 사이, 제3 및 제4 MOS 트랜지스터의 제1 주전극 사이에 항상 온 상태가 되는 제5, 제6 MOS 트랜지스터를 각각 구비하고 있다가 때문에, 제1 및 제2 MOS 트랜지스터의 한쪽의 제1 주전극, 및 제3 및 제4 MOS 트랜지스터의 한쪽의 제1 주전극에 기해지는 스트레스 전압을 저감하고, 스트레스 전압에 기인하는 누설 전류를 저감하여 소비 전력을 저감할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 복수의 메모리 셀 어레이를 갖는 자기 기억 장치에 있어서, 복수의 메모리 셀 어레이에 걸치는 복수의 메인 워드선과, 단일의 메모리 셀 어레이에만 걸치는 워드선을 이용함으로써, 동일한 배선에 적절적으로 전속되는 메모리 셀의 개수가 감소하기 때문에, 부하 용량이 저감된다. 그 결과, 부하 용량에 기인하는 자연 시간을 짧게 하여 고속 액세스를 실현할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 복수의 메모리 셀 어레이를 갖는 메모리 셀 어레이군을 복수 포함하는 자기 기억 장치에 있어서, 단일의 메모리 셀 어레이에만 걸치는 워드선과, 복수의 메모리 셀 어레이에 걸치는 복수의 메인 워드선과, 복수의 메모리 셀 어레이군에 걸치는 복수의 글로벌 워드선을 이용함으로써, 동일한 배선에 적절적으로 전속되는 메모리 셀의 개수가 감소하기 때문에, 부하 용량이 저감된다. 그 결과, 부하 용량에 기인하는 자연 시간을 짧게 하여 고속 액세스를 실현할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 복수의 메모리 셀 어레이를 갖는 자기 기억 장치에 있어서, 복수의 메모리 셀 어레이에 걸치는 복수의 메인 비트선과, 단일의 메모리 셀 어레이에만 걸치는 비트선을 이용함으로써, 동일한 배선에 적절적으로 전속되는 메모리 셀의 개수가 감소하기 때문에, 부하 용량이 저감된다. 그 결과, 부하 용량에 기인하는 자연 시간을 짧게 하여 고속 액세스를 실현할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 복수의 메모리 셀 어레이를 갖는 메모리 셀 어레이군을 복수 포함하는 자기 기억 장치에 있어서, 단일의 메모리 셀 어레이에만 걸치는 비트선과, 복수의 메모리 셀 어레이에 걸치는 복수의 메인 비트선과, 복수의 메모리 셀 어레이군에 걸치는 복수의 글로벌 비트선을 이용함으로써, 동일한 배선에 적절적으로 전속되는 메모리 셀의 개수가 감소하기 때문에, 부하 용량이 저감된다. 그 결과, 부하 용량에 기인하는 자연 시간을 짧게 하여 고속 액세스를 실현할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 소프트 강자성체용의 자화가 물이한 방향의 미지 액시스를 따른 방향으로 자계를 발생시키는 인덕터를 구비함으로써, 적어도 하나의 자기 터널 접합을 갖는 복수의 메모리 셀의 데이터를 일괄 소거 혹은 일괄 기입할 수 있기 때문에, 단시간에서의 처리가 가능해진다.

본 발명에 따른 자기 기억 장치에 따르면, 코일형의 인덕터에 의해 효율적으로 자계를 발생시키기 때문에, 복수의 메모리 셀의 데이터를 일괄 소거 혹은 일괄 기입하는 경우의 소비 전력을 줍다.

본 발명에 따른 자기 기억 장치에 따르면, 적어도 하나의 메모리 셀 어레이의, 복수의 비트선 및 복수의 워드선의 외측에 플래시 비트선 및 플래시 워드선을 구비하고, 이를에 소정 방향의 전류를 흘림으로써, 적어도 하나의 자기 터널 접합을 갖는 복수의 메모리 셀의 데이터를 일괄 소거 혹은 일괄 기입할 수 있기 때문에, 단시간에서의 처리가 가능해진다.

본 발명에 따른 자기 기억 장치에 따르면, 복수의 메모리 셀 어레이가 매트릭스형으로 배치된 자기 기억 장치에 있어서, 플래시 비트선 및 플래시 워드선도 복수의 메모리 셀 어레이의 끝을 따라 매트릭스를 구성하도록 배치함으로써, 복수의 메모리 셀 어레이의 데이터를 일괄 소거 혹은 일괄 기입할 수 있기 때문에, 단시간에 서의 처리가 가능해진다.

본 발명에 따른 자기 기억 장치에 따르면, 선택된 비트선 및 워드선 중 적어도 한쪽에 흐르는 전류를 LC 공진에 의해 보존하는 적어도 하나의 인덕터와, 적어도 하나의 오피시터를 구비하기 때문에, 기입 전류를 리사이클할 수 있어 기입 시의 소비 전력을 저감할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 비트선에서의 기입 전류를 리사이클하기 위한 구체적 구성을 얻을 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 워드선에서의 기입 전류를 리사이클하기 위한 구체적 구성을 얻을 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 도체로 구성되는 차폐체 내에 적어도 하나의 반도체 첨을 수납 함으로써, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀에서 자기 터널 접합의 자화 방향이 외부 자계에 의해 반전되고, 데이터를 재기입되는 것을 방지할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 적어도 하나의 반도체 첨이 제1 및 제2 용력 원화막에 의해 유지되거나, 외부로부터의 용력이 복수의 반도체 첨에 기해지는 것을 저감할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 자기 기억 칩과, 메모리 셀 어레이의 주변 회로를 포함하는 회로 칩으로 나눔으로써, 양자를 따로따로 제조하게 되어 형성 운도의 차이를 고려할 필요가 없으며, 개개의 형성 운도를 최적화할 수 있다. 또한, 제조 공정이 병렬로 진행되어 제조 시간을 단축할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 차폐체가 소프트 강자성체 층과 등등하거나, 그보다 큰 투자를 들 갖는 강자성체로 구성되기 때문에, 외부 자계를 유호하게 차폐할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 차폐체가 반강자성체로 구성되기 때문에 외부 자계를 유호하게 차폐할 수 있다.

본 발명에 따른 자기 기억 장치에 따르면, 차폐체가 강자성체와 반강자성체와의 다층막으로 구성되기 때문에 외부 자계를 유호하게 차폐할 수 있다.

본 발명에 따른 자성체 기판에 따르면, 주면 전역에 배치된 적어도 하나의 자기 터널 접합을 형성하는 다층막을 갖고 있기 때문에, 적어도 하나의 자기 터널 접합을 갖는 메모리 셀을 구비한 자기 기억

2002-0065323

장치를 제조하는 경우, 단순한 반도체 기판을 준비하고, 그 주면 상에 다층막을 형성하는 경우에 비해 제조 공정을 생략할 수 있어 제조 비용을 산감할 수 있다.

본 발명에 따른 자성체 기판에 따르면, 단일 자기 터널 접합을 갖는 메모리 셀을 구비한 자기 장치의 제조에 적합한 자성체 기판이 얻어진다.

본 발명에 따른 자성체 기판에 따르면, 단일 자기 터널 접합의 하부에 pn 접합 다이오드를 갖는 메모리 셀을 구비한 자기 기억 장치의 제조에 적합한 반도체 기판이 얻어진다.

본 발명에 따른 자성체 기판에 따르면, MOSFET의 기생 용량을 저감할 수 있는 SOI 기판 상에 적어도 하나의 자기 터널 접합이 형성되기 때문에, MOSFET의 등작 속도를 빠르게 하여, 결과적으로는 자기 기억 장치 동작 속도도 빠르게 할 수 있다.

(5) 요구의 쟁여

청구항 1

비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선과,

상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀을 구비한 자기 기억 장치에 있어서,

상기 복수의 비트선의 제1 단부에 각각 접속되며, 상기 제1 단부와 제1 전원 혹은 제2 전원과의 전기적인 접속을 전환할 수 있는 복수의 제1 전환 수단과,

상기 복수의 비트선의 제2 단부에 각각 접속되며, 상기 제2 단부와 상기 제1 전원 혹은 상기 제2 전원과의 전기적인 접속을 전환할 수 있는 복수의 제2 전환 수단을 포함하는 자기 기억 장치.

청구항 2

자기 기억 장치에 있어서,

비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선, 및,

상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀

로 구성되는 복수의 메모리 셀 어레이와,

상기 복수의 메모리 셀 어레이에 걸치는 복수의 메인 워드선과,

상기 복수의 메모리 셀 어레이의 개개에 대응하여 배치된 복수의 메모리 셀 어레이 선택선을 갖는 적어도 하나의 메모리 셀 어레이군을 포함하고,

상기 복수의 워드선은 상기 복수의 메인 워드선과 상기 복수의 메모리 셀 어레이 선택선과의 교차부에 각각 설치된 제1 조합 논리 게이트의 출력에 각각 접속되고,

상기 제1 조합 논리 게이트의 입력은 교차 상태에 있는 상기 복수의 메인 워드선의 1개와 상기 복수의 메모리 셀 어레이 선택선의 1개에 접속되는 자기 기억 장치.

청구항 3

자기 기억 장치에 있어서,

비접촉으로 교차하여 매트릭스를 구성하는 복수의 비트선 및 복수의 워드선, 및,

상기 복수의 비트선과 상기 복수의 워드선과의 교차부에 각각 배치되며, 적어도 하나의 자기 터널 접합을 포함하는 복수의 메모리 셀

로 구성되는 복수의 메모리 셀 어레이와,

상기 복수의 메모리 셀 어레이에 걸치는 복수의 메인 비트선과,

상기 복수의 메모리 셀 어레이의 개개에 대응하여 배치된 복수의 메모리 셀 어레이 선택선을 갖는 적어도 하나의 메모리 셀 어레이군을 포함하고,

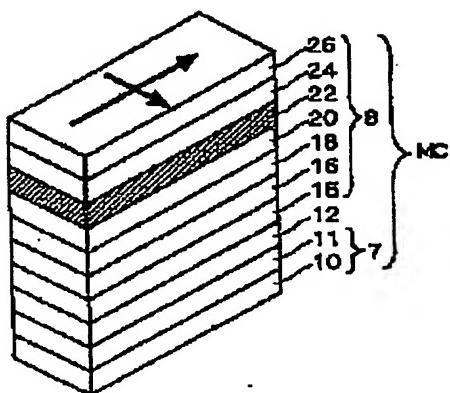
상기 복수의 비트선은 상기 복수의 메인 비트선과 상기 복수의 메모리 셀 어레이 선택선과의 교차부에 각각 설치된 제1 조합 논리 게이트의 출력에 각각 접속되고,

상기 제1 조합 논리 게이트의 입력은 교차 상태에 있는 상기 복수의 메인 비트선의 1개와 상기 복수의 메모리 셀 어레이 선택선의 1개에 접속되는 자기 기억 장치.

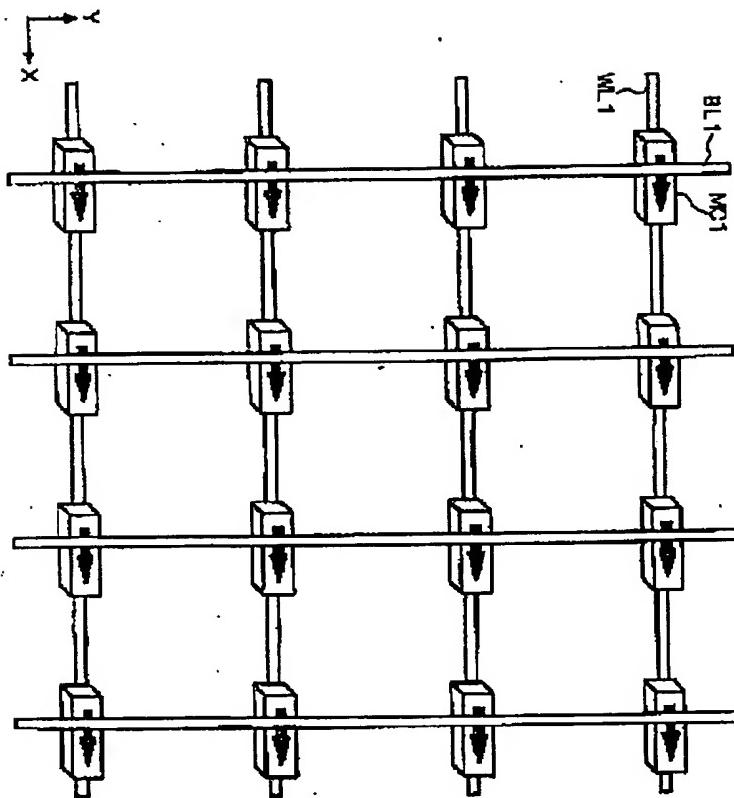
도 27

2002-0065323

S01



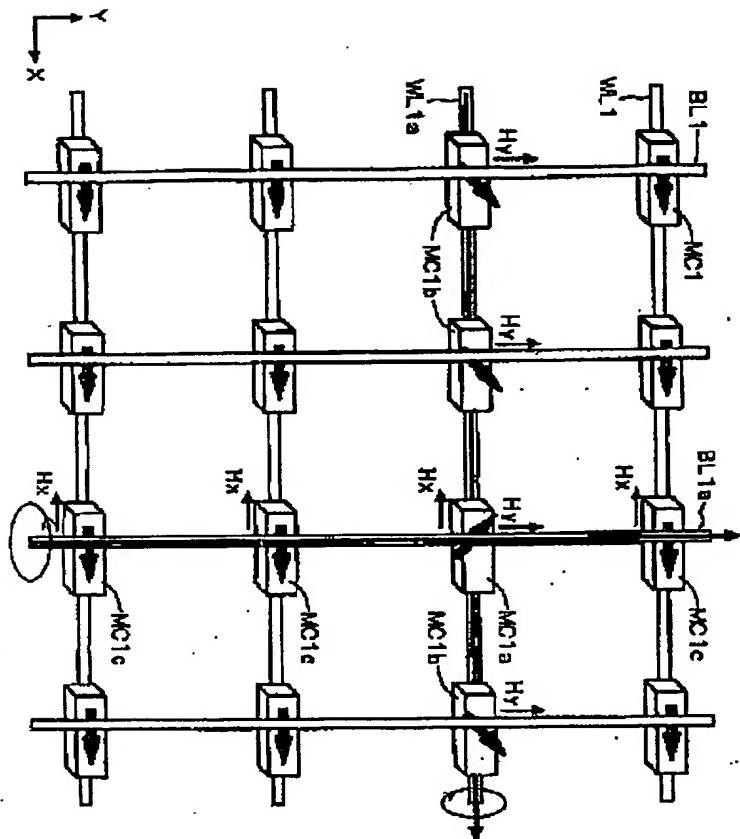
S02



74-32

2002-0065323

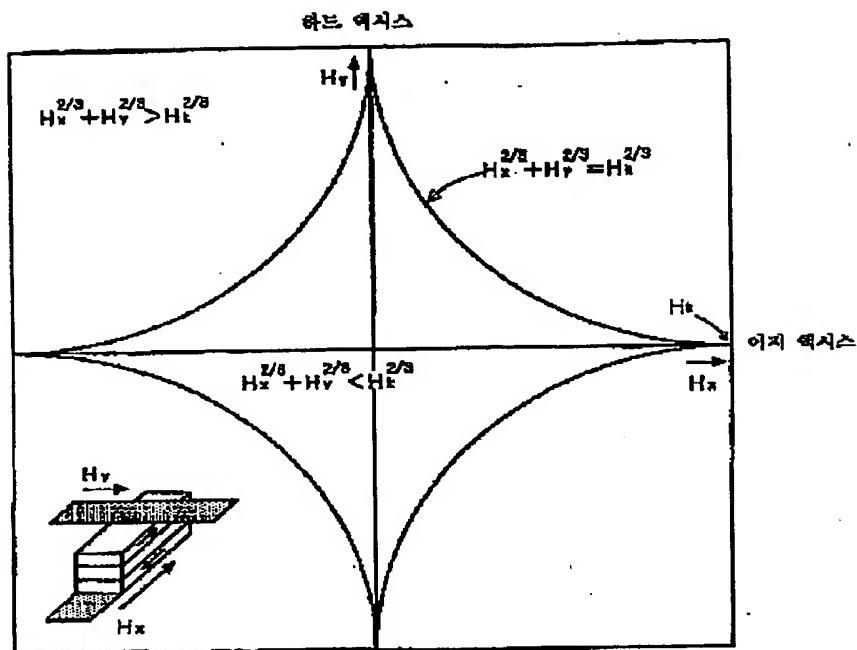
EBB



74-33

2002-0065323

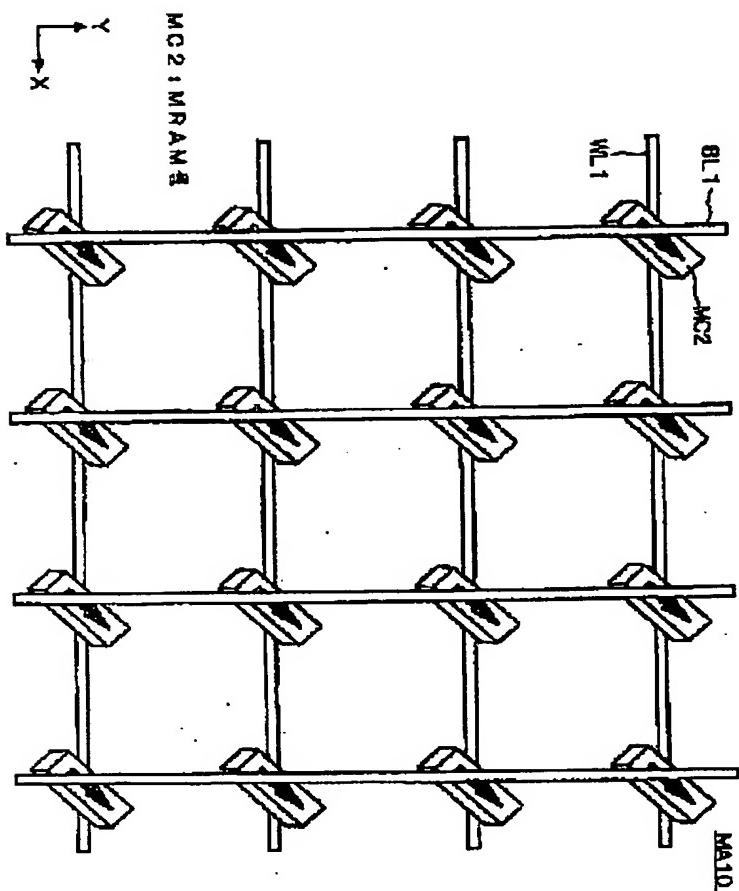
도면4



74-34

2002-0065323

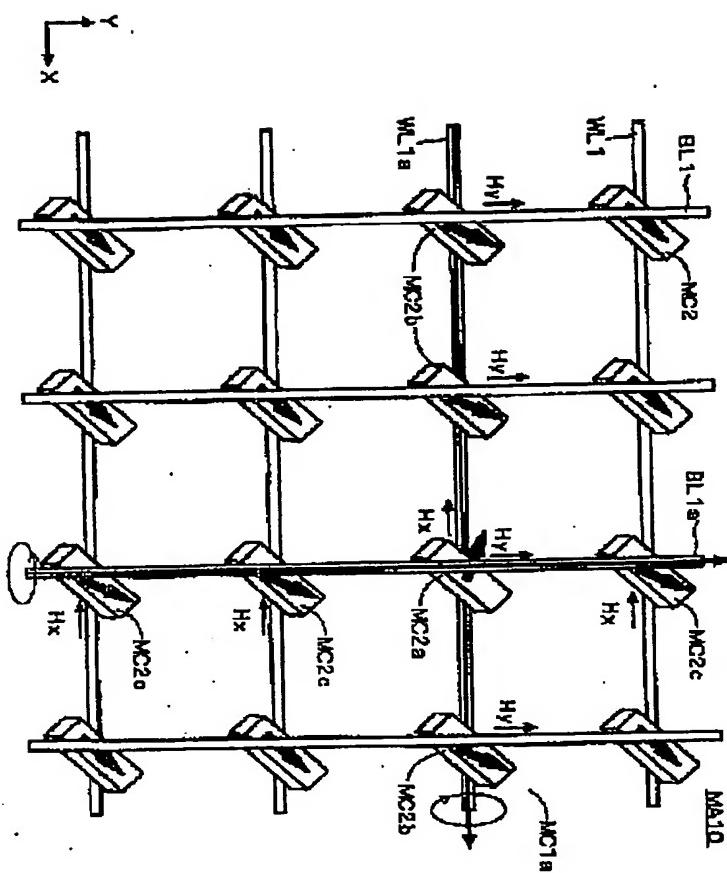
505



74-35

2002-0065323

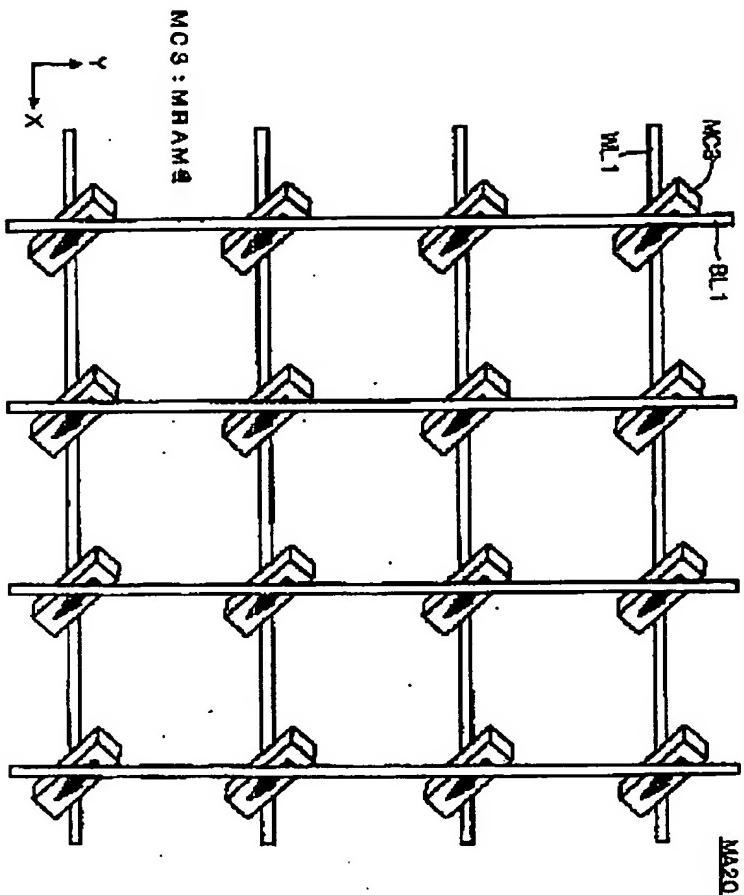
586



74-36

2002-0065323

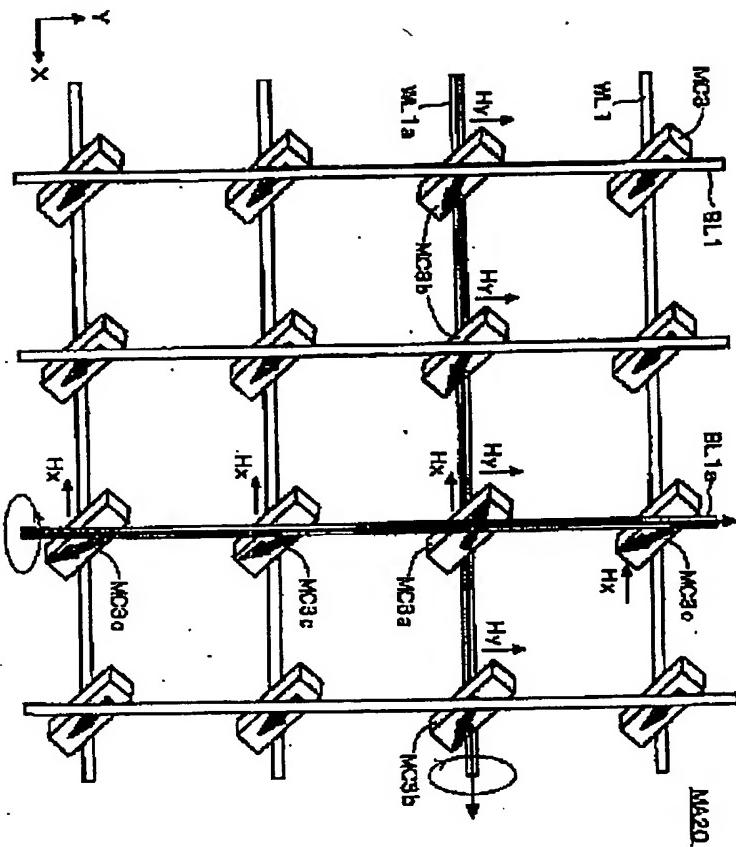
587



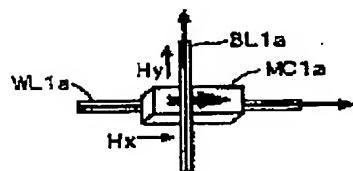
74-37

2002-0065323

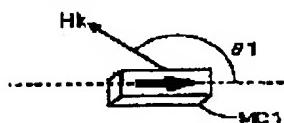
S88



S89



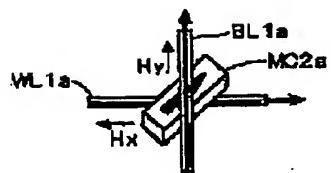
S810



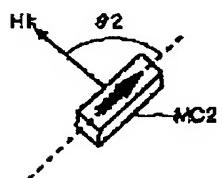
74-38

2002-0065323

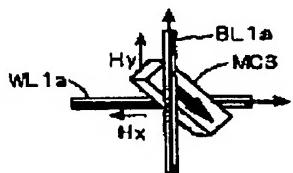
EB11



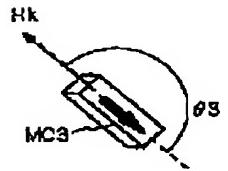
EB12



EB13

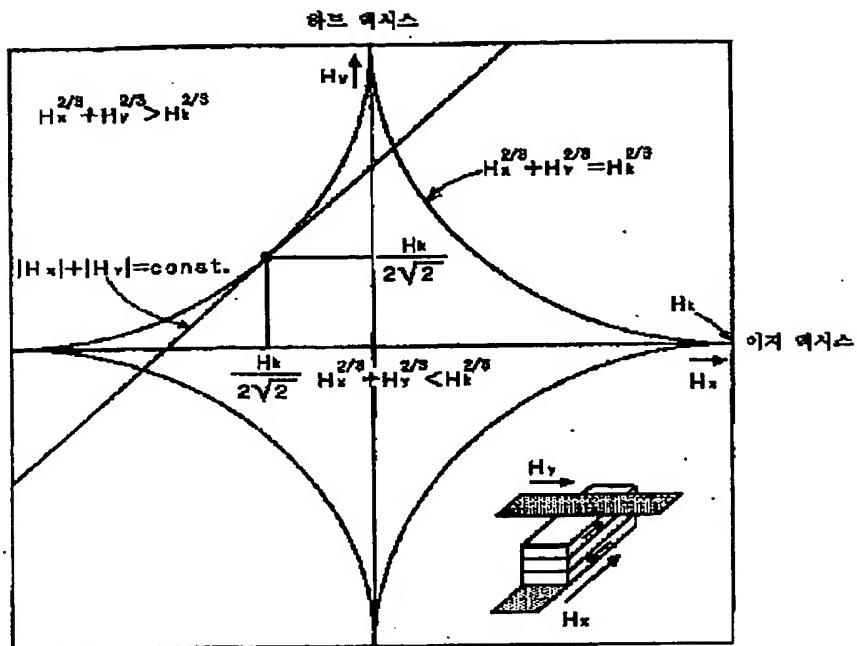


EB14

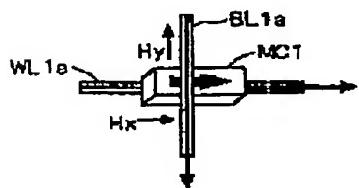


2002-0065323

도면15



도면16



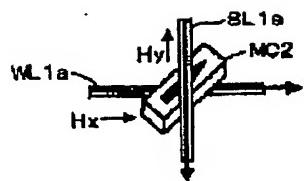
도면17



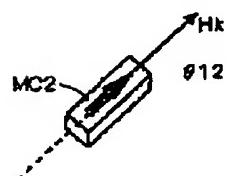
74-40

2002-0065323

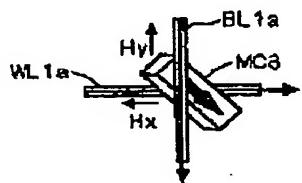
EB18



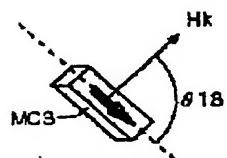
EB19



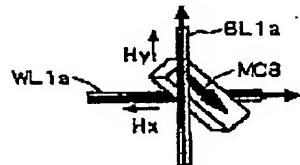
EB20



EB21

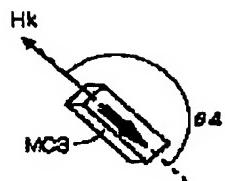


EB22

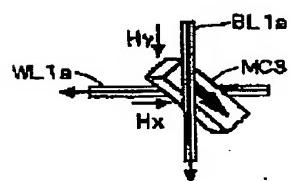


2002-0065323

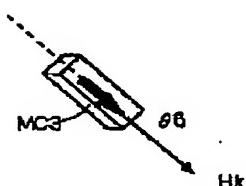
5-2123



5-2124



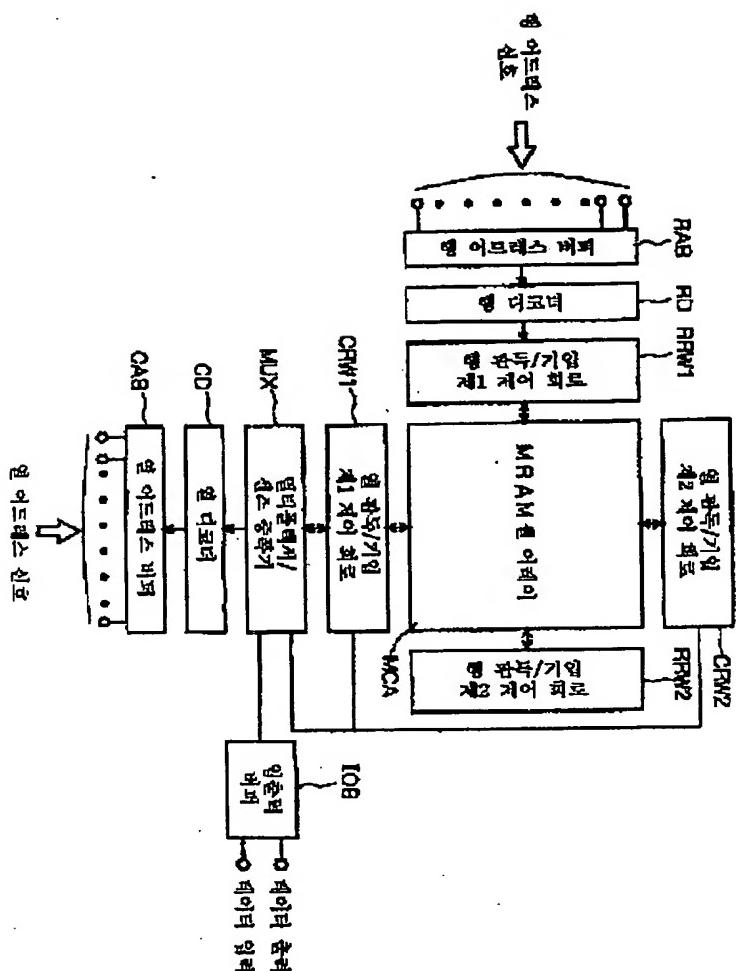
5-2125



74-42

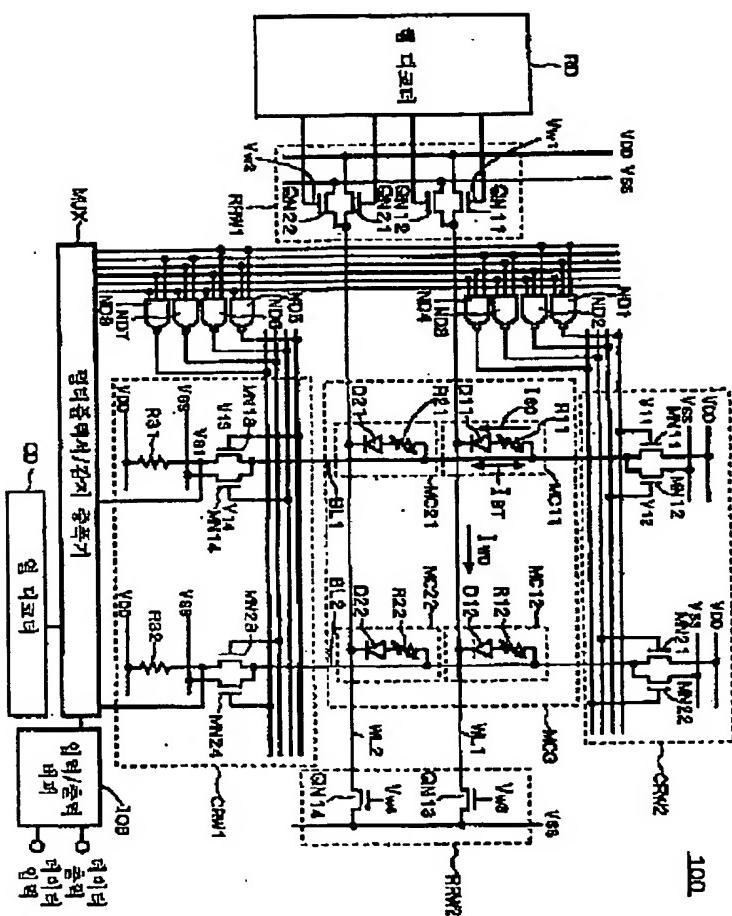
2002-0065323

도면28



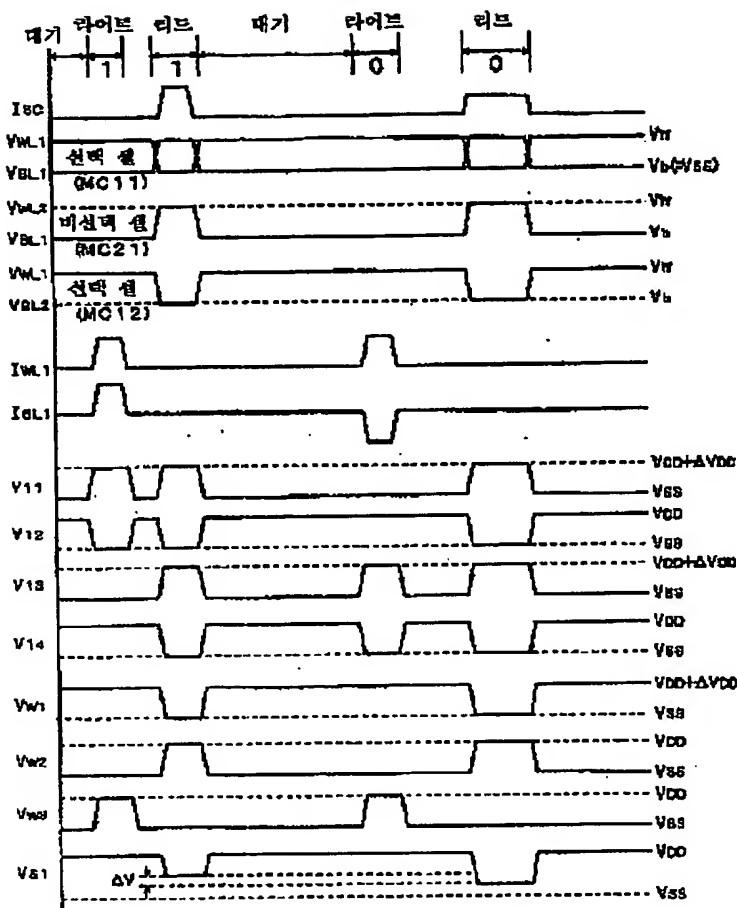
74-43

号 2002-0065323



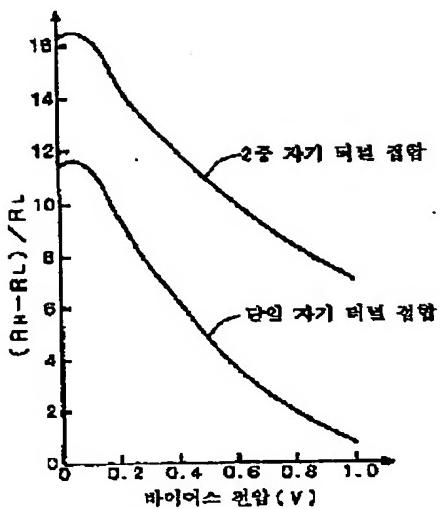
2002-00655323

도면20

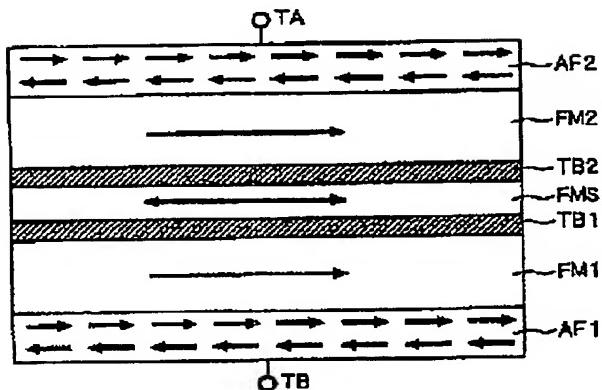


2002-0065323

도면29



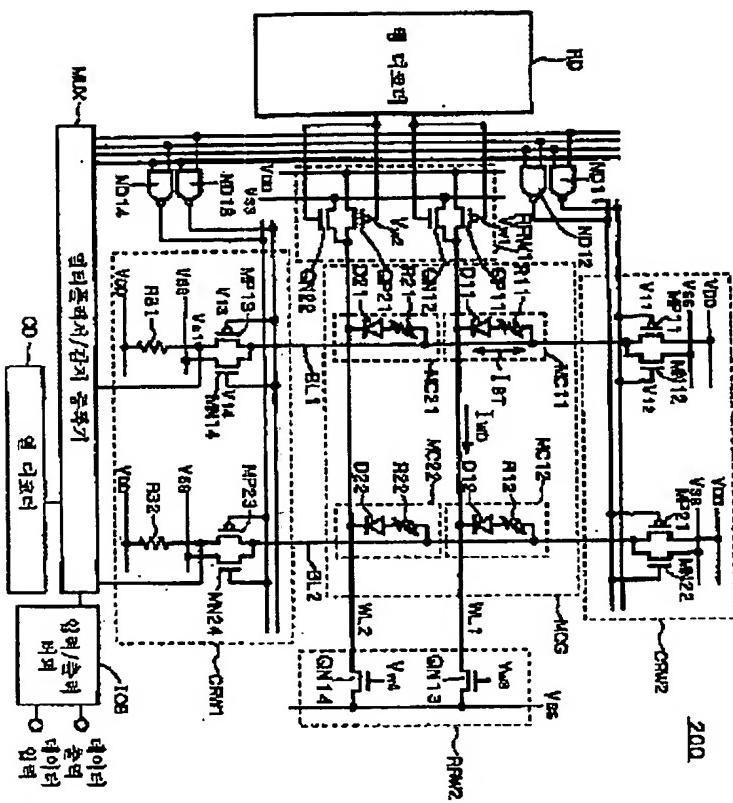
도면30



74-46

2002-0065323

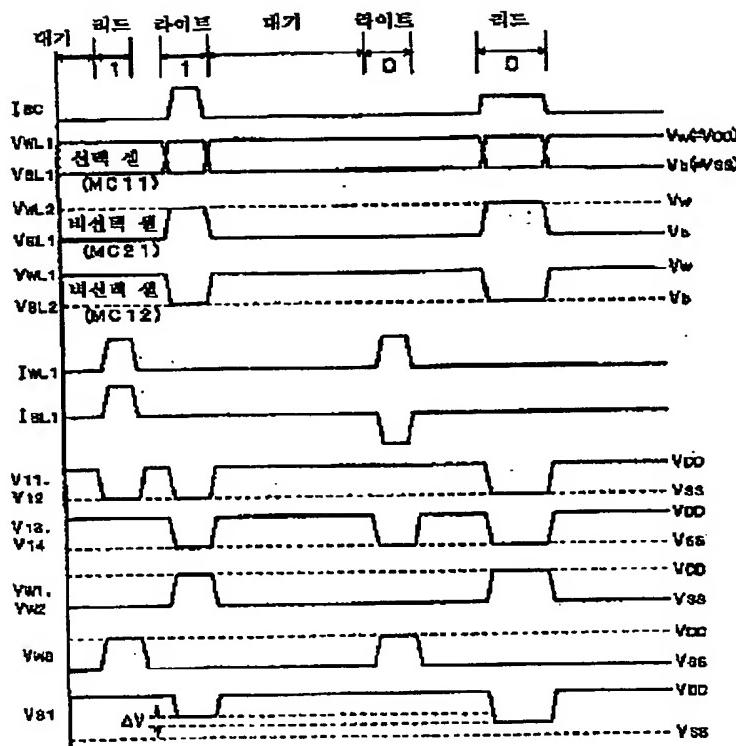
5031



74-47

2002-0065323

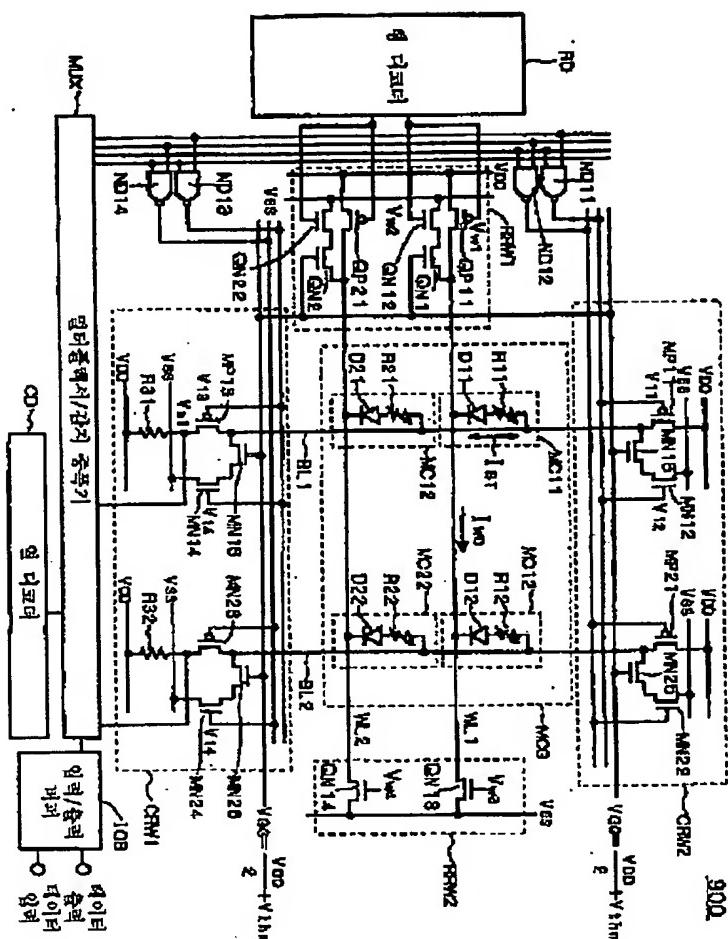
도면42



74-48

2002-0065323

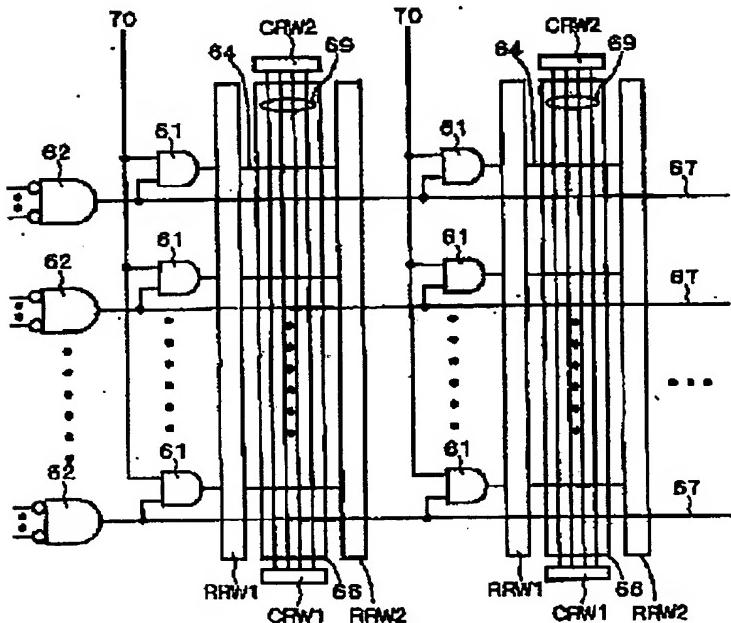
45938



74-49

2002-0065323

도면34

400.

64 : 서브 워드선

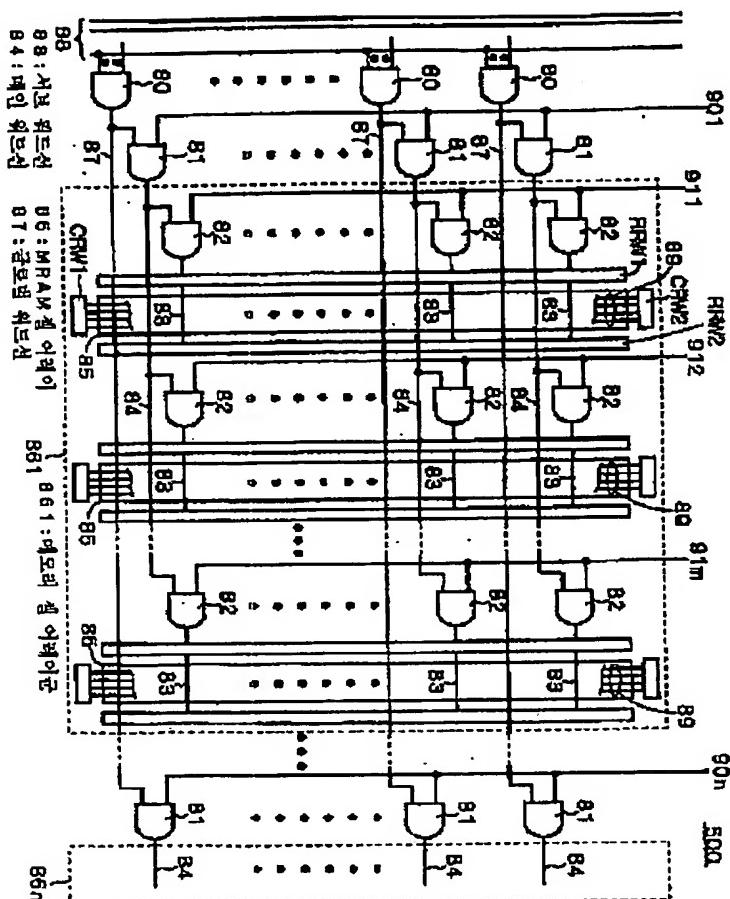
67 : 메인 워드선

66 : MRAM 셸 어레이

74-50

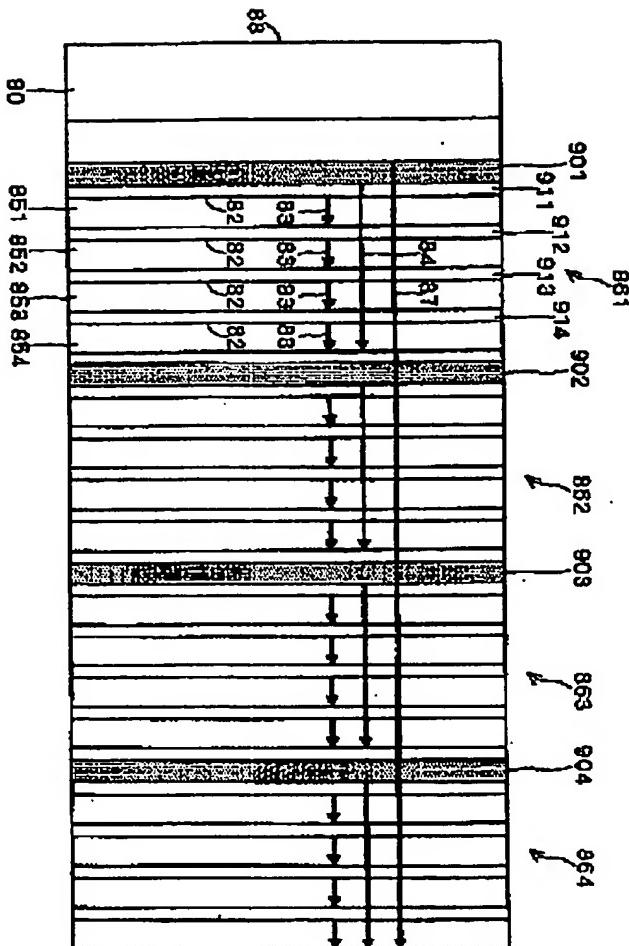
2002-0065323

도면35



2002-0065323

5836

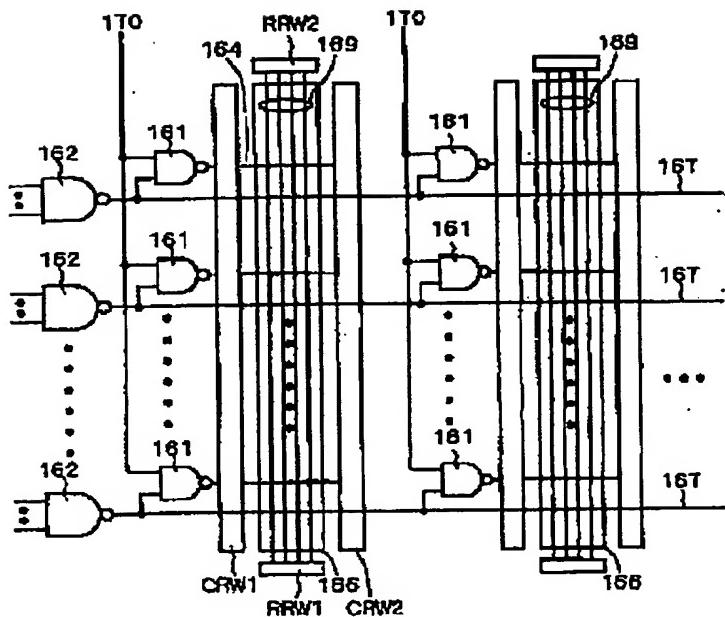


74-52

2002-0065323

5837

600

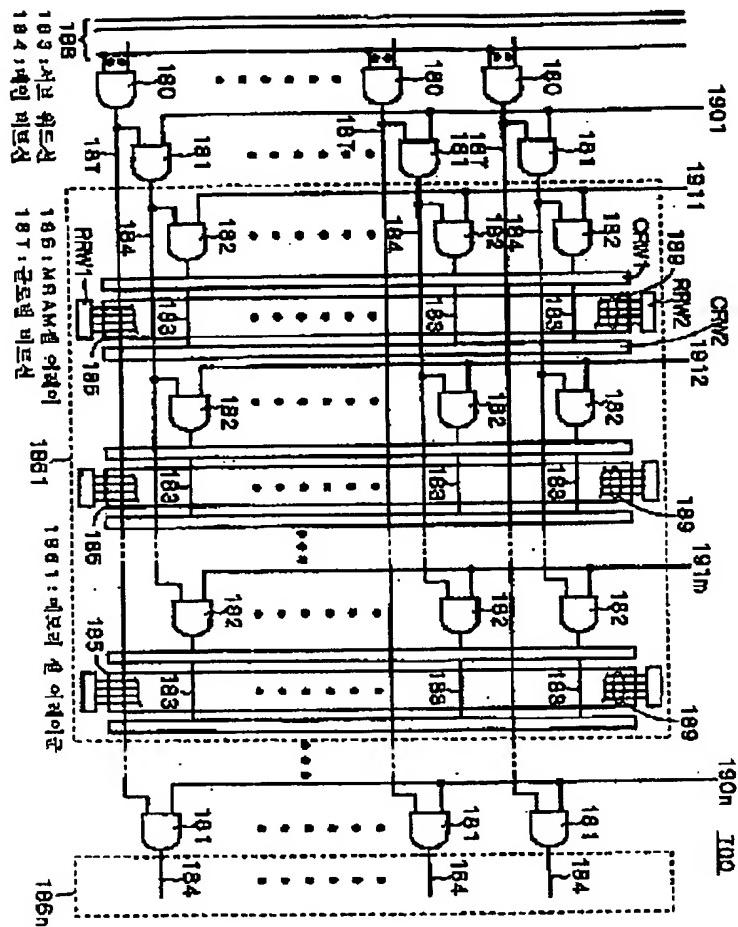


164 : 서브 워드선
 167 : 메인 비트선
 166 : MRAM 엔 어레이

74-53

2002-0065323

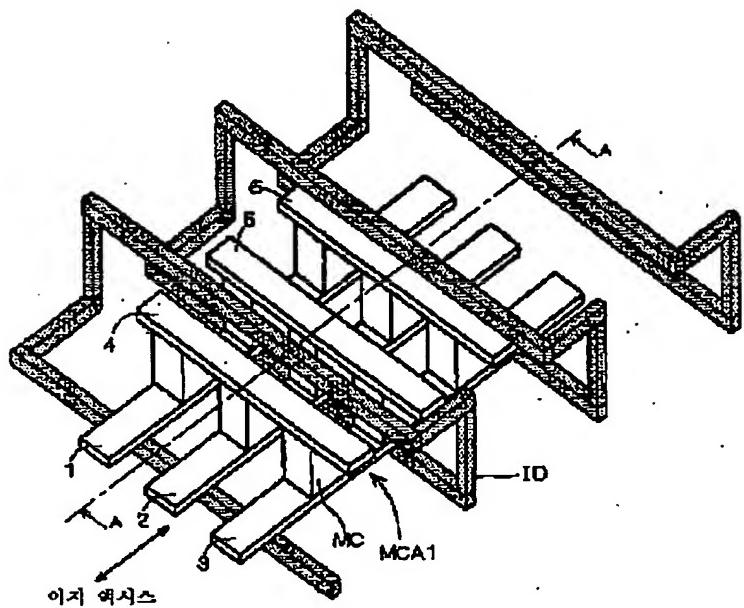
도면



74-54

2002-0065323

도면59

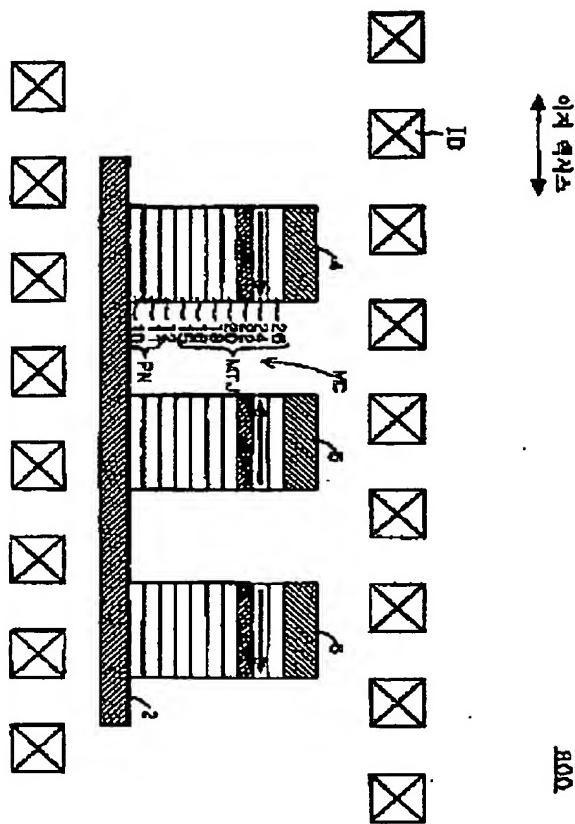
800

ID : 인더터

74-55

2002-0065323

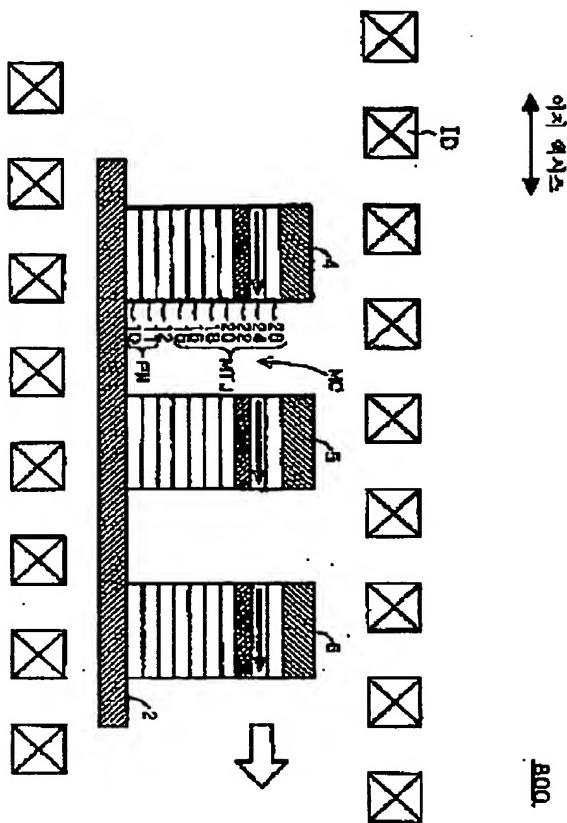
5940



74-56

2002-0065323

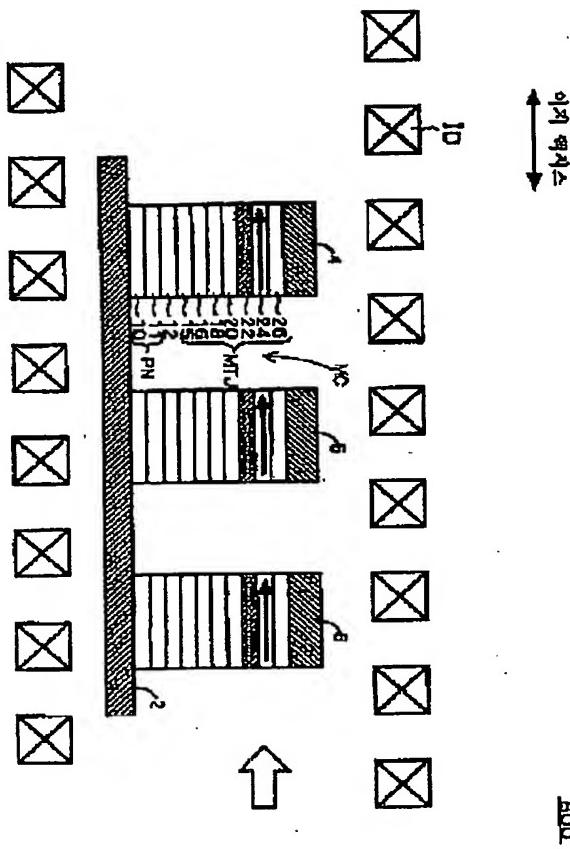
5041



74-57

2002-0065323

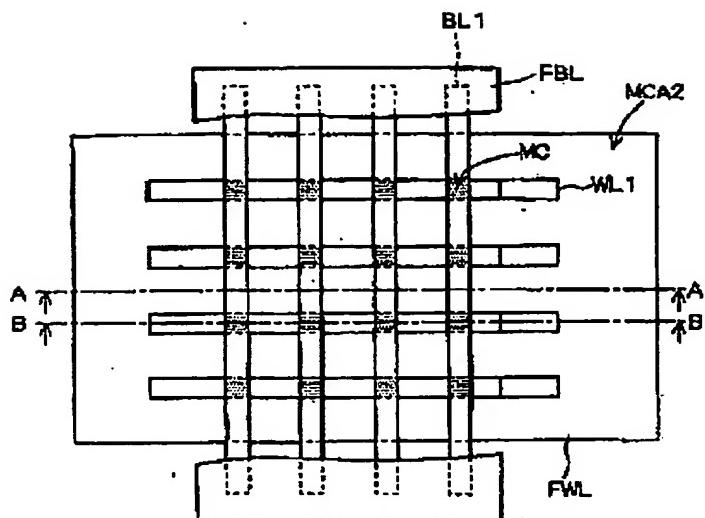
5942



74-58

2002-0065323

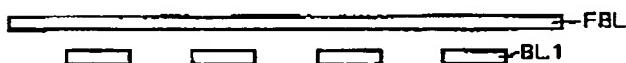
E943



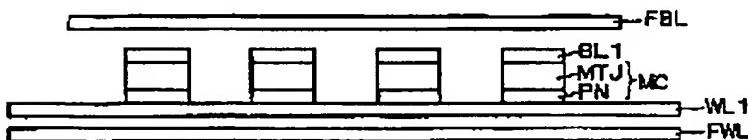
FBL : 플래시 비트선

FWL : 플래시 워드선

E944

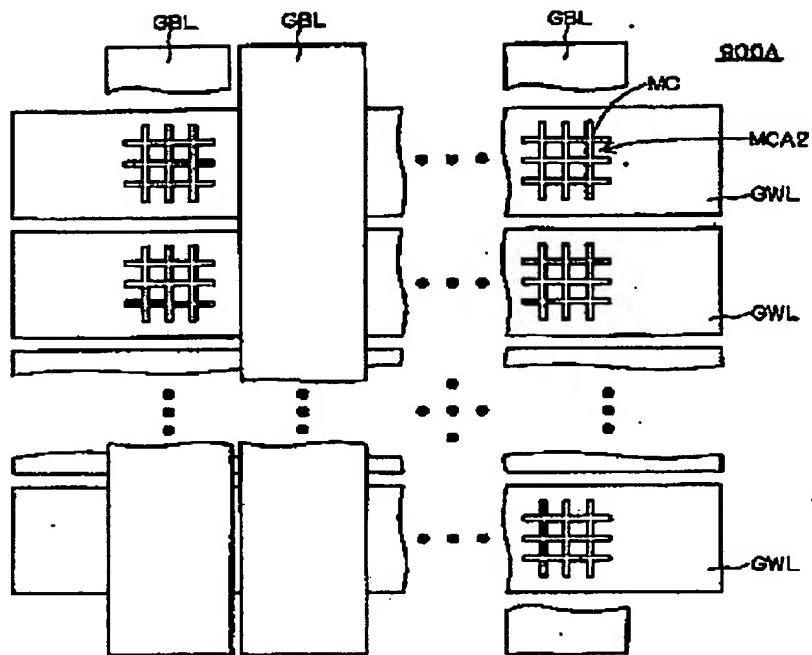


E945



2002-0065323

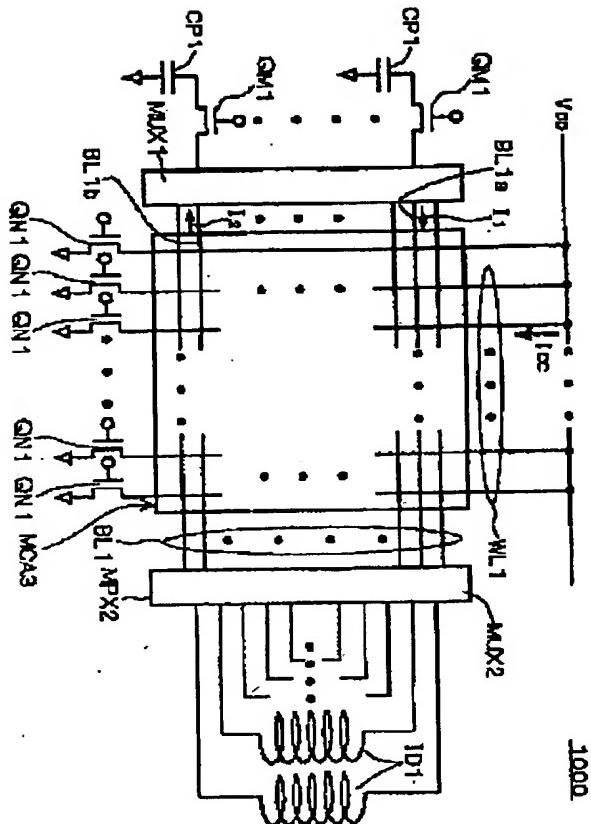
5948



74-60

2002-0085323

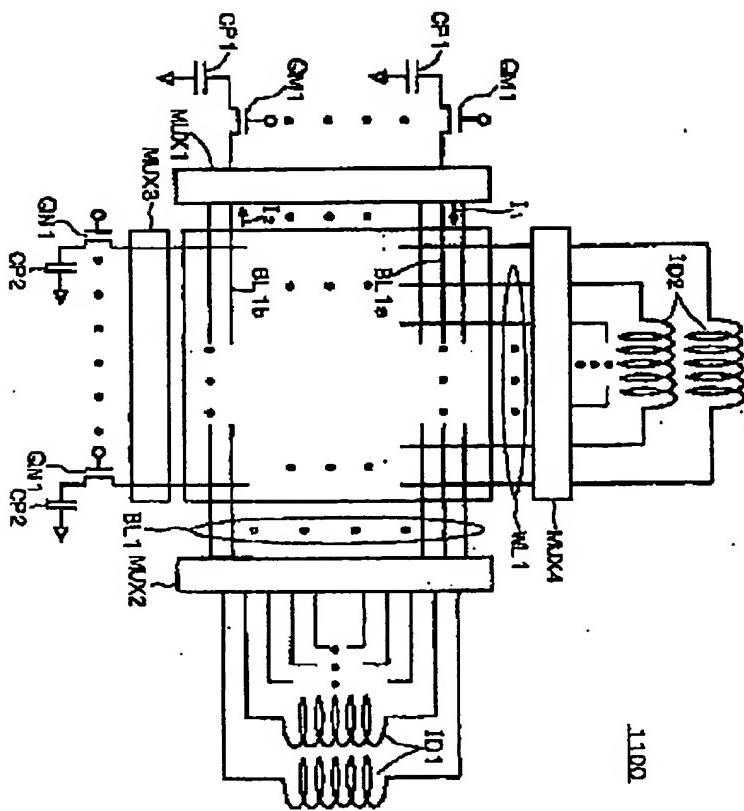
MARG



74-61

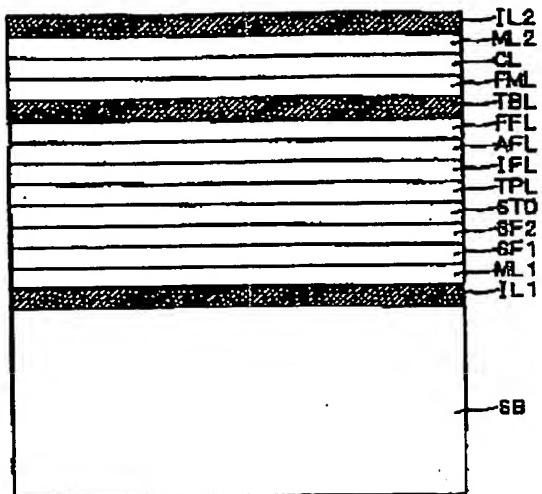
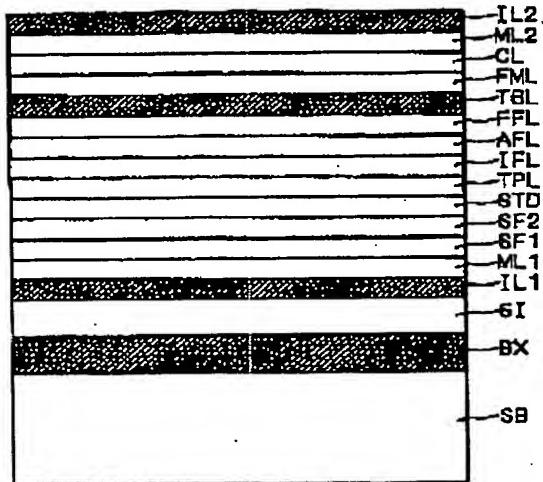
2002-0065323

54-62



74-62

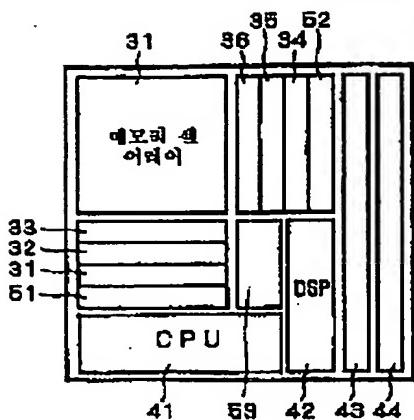
2002-0065323

~~EB49~~~~EB50~~

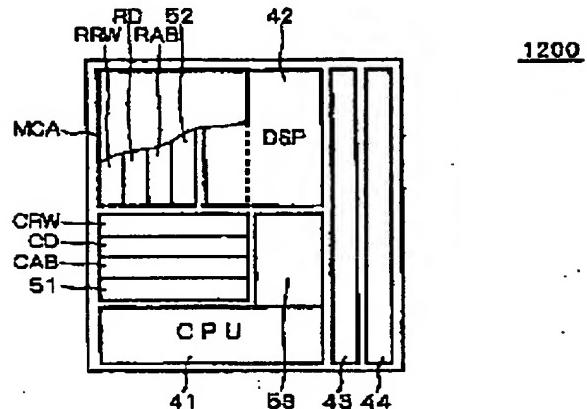
74-63

2002-0065323

도면51



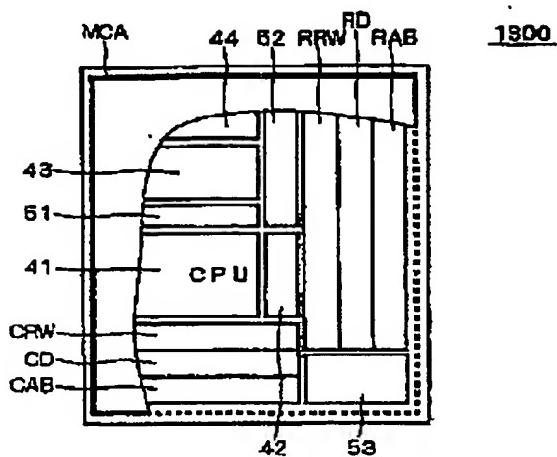
도면52

1200

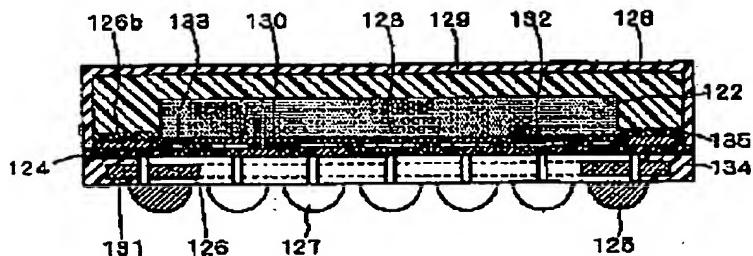
74-64

2002-0065323

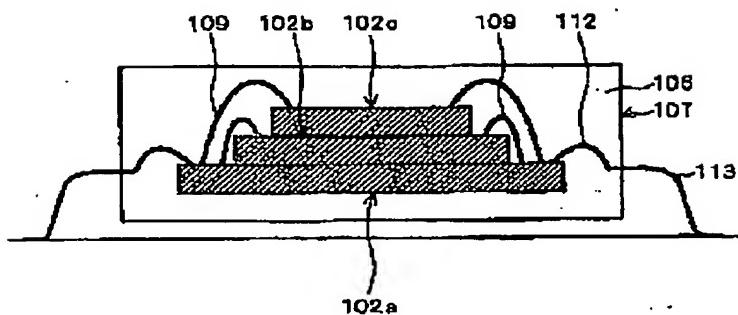
S-2453

1900

S-2454



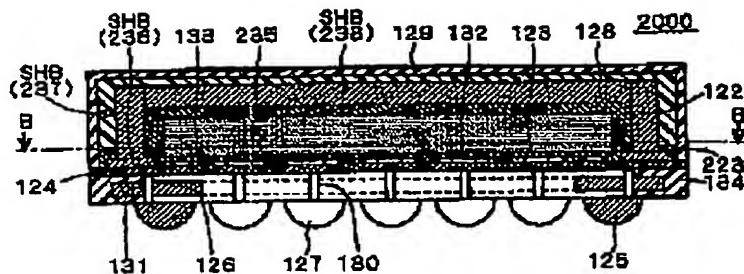
S-2455



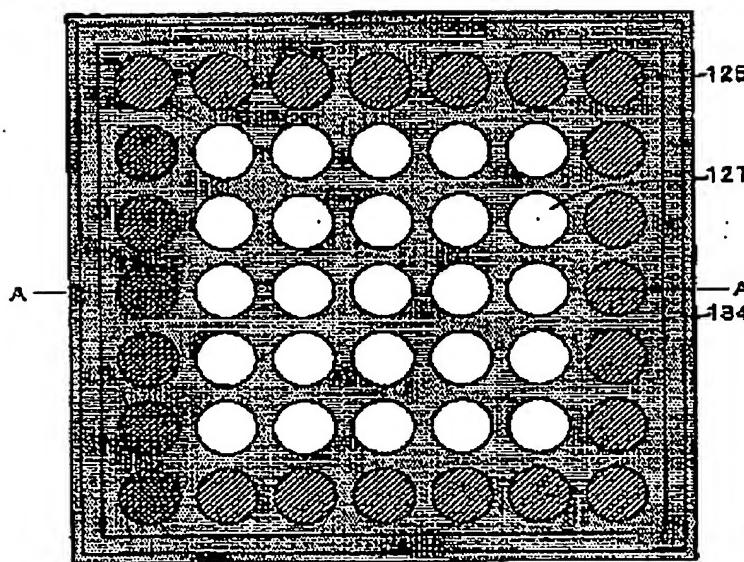
74-65

2002-0065323

5268



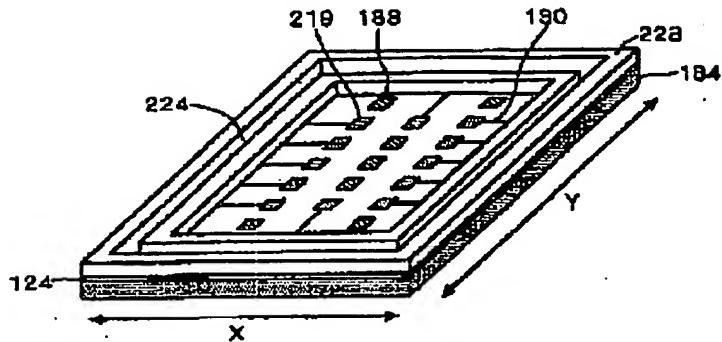
5267



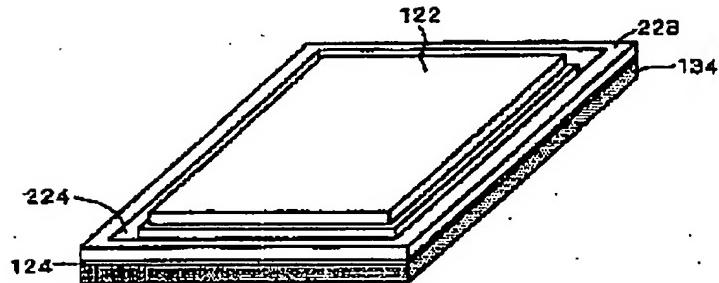
74-66

2002-0065323

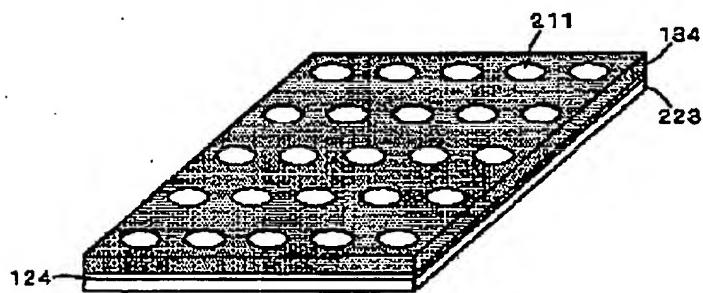
5250



5259

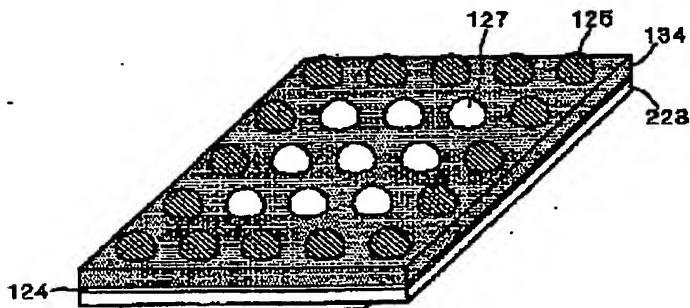


5260

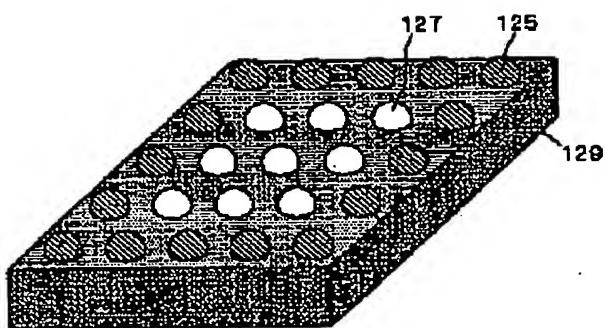


2002-0065323

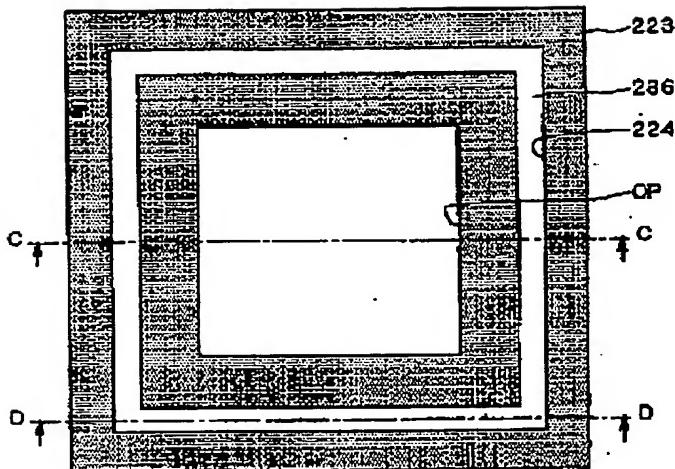
5261



5262



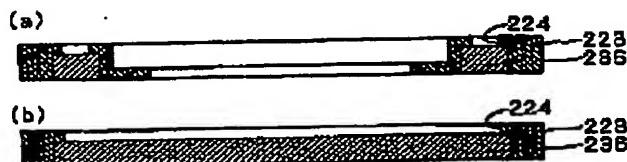
5263



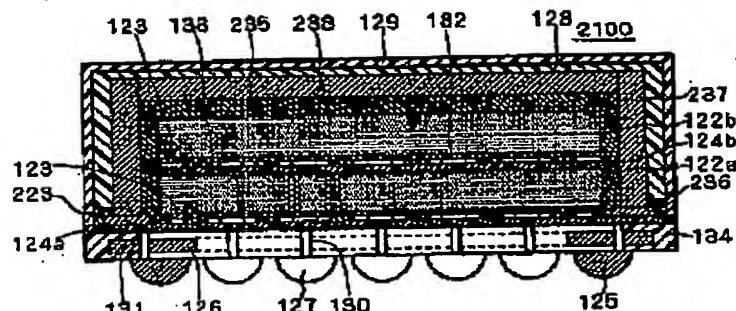
74-68

2002-0065323

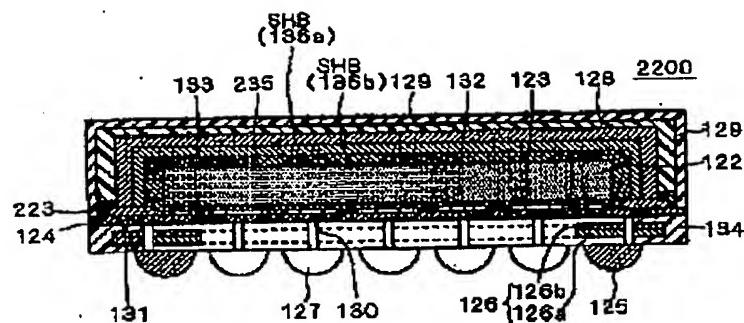
도면04



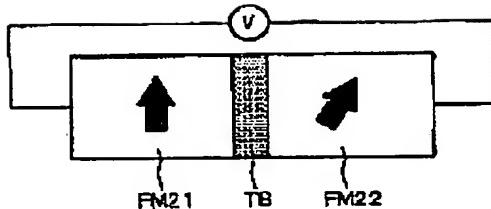
도면05



도면06



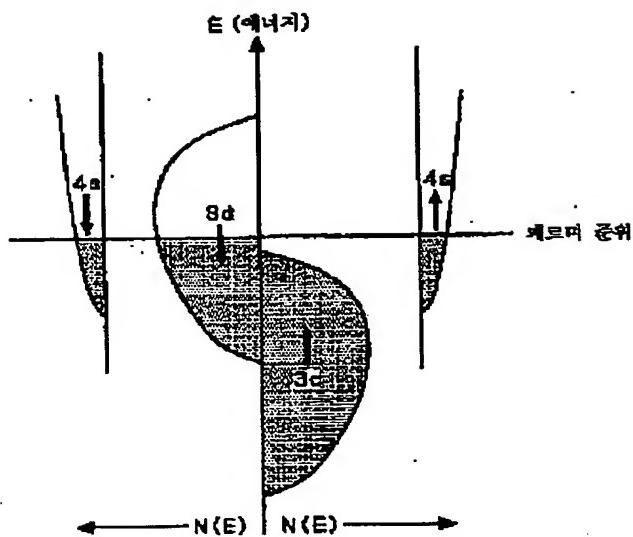
도면07



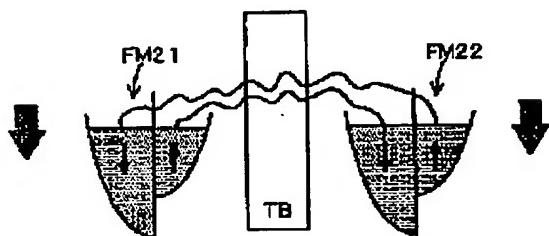
74-69

2002-0065323

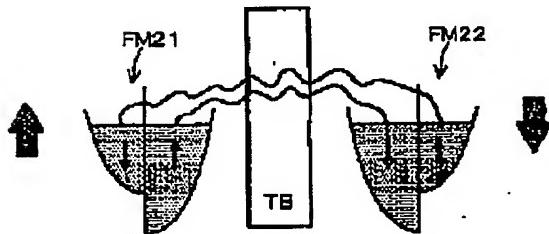
도면80



도면81



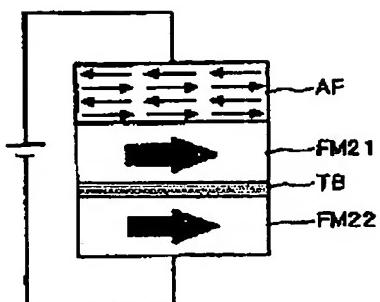
도면82



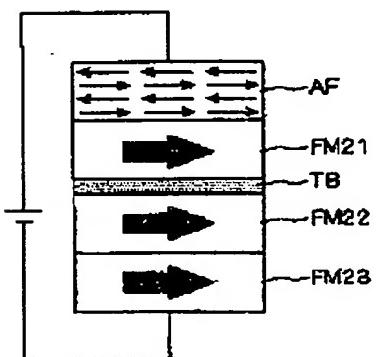
74-70

2002-0065323

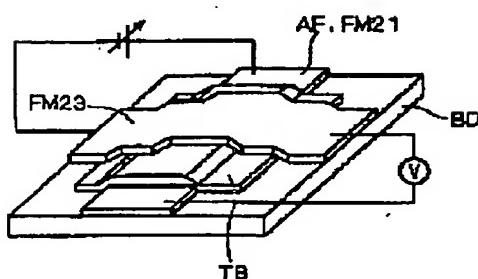
5271



5272



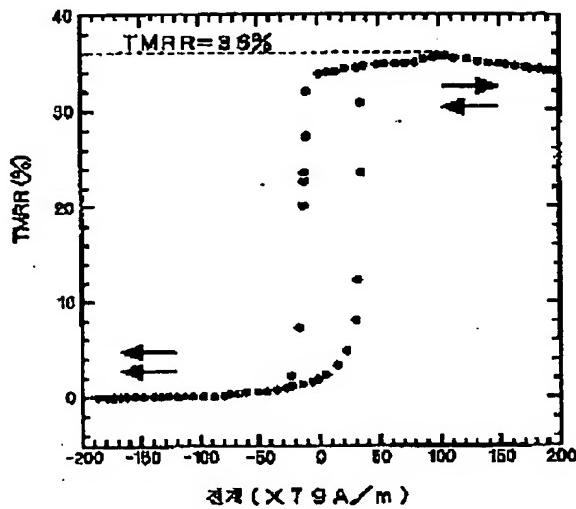
5273



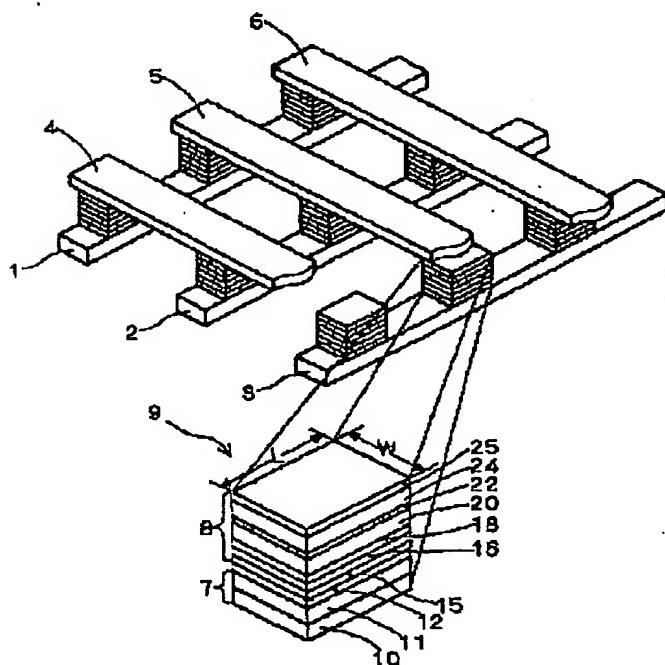
74-71

2002-0065323

도면74



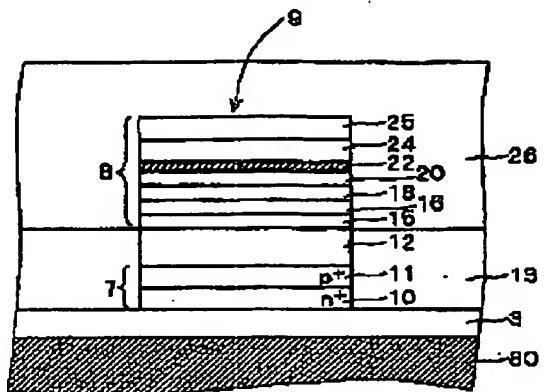
도면75



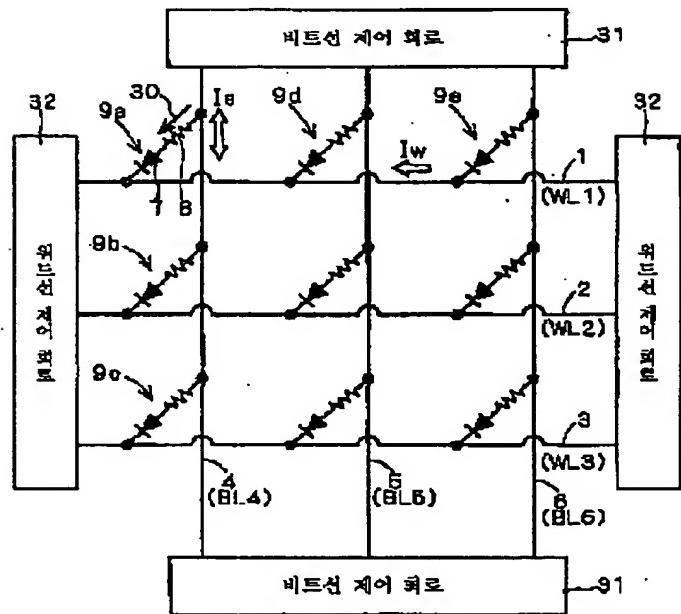
74-72

2002-0065323

도면78



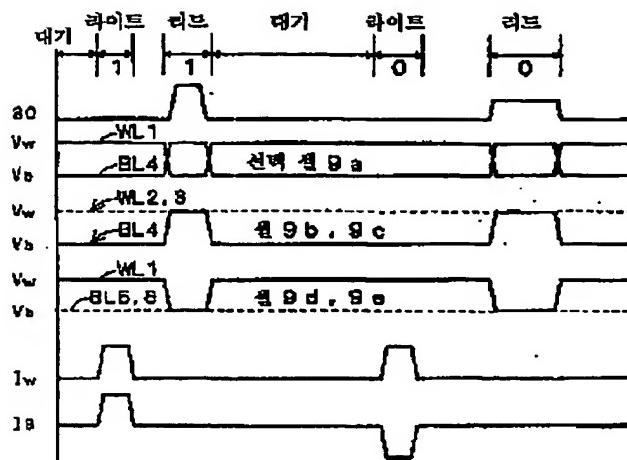
도면79



74-73

2002-0065323

도면70



74-74

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.